

(11)Publication number : 2001-028354

(43)Date of publication of application : 30.01.2001

(51)Int.Cl.

H01L 21/304

H01L 21/762

H01L 27/12

H01L 29/786

(21)Application number : 11-273935

(71)Applicant : SONY CORP

(22)Date of filing : 28.09.1999

(72)Inventor : OKUBO YASUNORI
NAKAMURA MOTOAKI

(30)Priority

Priority number : 11131869

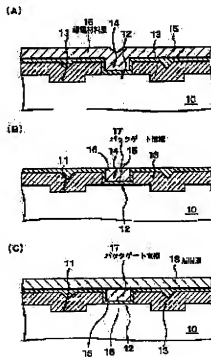
Priority date : 12.05.1999

Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a method of easily manufacturing of an SOIL-type semiconductor device, having a back gate electrode based on a substrate laminating method at a reduced cost.

SOLUTION: In this method of manufacturing a semiconductor device, projected and recessed portions 11, 12 are formed on the surface of a substrate 10. After an insulating layer 13 is formed on these, an aperture 14 for forming a back gate electrode is formed in the prescribed region of the insulating layer 13 on the projected portion 12. Subsequently, after a conductive material layer 16 is formed over the whole surface including the aperture 14, a back gate electrode 17 is formed in the aperture 14 by polishing the conductive material layer 16. Then, an interlayer film 18 is formed on the whole surface. The substrate 10 and a support board are laminated via the interlayer film 18. The substrate 10 is polished from the rear surface of the substrate 10, so that the insulating layer 13 at the bottom of the recessed portion 11 formed in the surface of the substrate is exposed.

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] By grinding a process of forming a conductive material layer all over being characterized by comprising the following, and a conductive material layer of the (E) insulating-layer upper part, So that an insulating layer of a crevice pars basilaris oisis occipitalis formed in a process of forming a back gate electrode in an opening, a process of forming the (F) interlayer film in the whole surface, a process of pasting a substrate and a supporting board together via the (G) interlayer film, and the surface of the (H) board may be exposed, A manufacturing method of a semiconductor device having the process of grinding a substrate evenly from a rear face of a substrate.

(A) A process of forming an uneven part on the surface of a substrate.

(B) A process of forming an insulating layer on the surface in which an uneven part of a substrate was formed.

(C) A process of forming an opening for backgate electrode formation which has the predetermined depth in a predetermined field of an insulating layer on heights formed in a substrate.

(D) Inside of an opening.

[Claim 2] Between said processes (F) (G), stratum disjunctum including a process to form in a position of the predetermined depth of a substrate said process (H), A manufacturing method of the semiconductor device according to claim 1 comprising a process of grinding a substrate evenly from a rear face of a substrate after exfoliation so that an insulating layer of a crevice pars basilaris oisis occipitalis formed in the surface of a substrate may expose, after exfoliating a portion of a substrate by the side of a rear face from stratum disjunctum.

[Claim 3] A manufacturing method of the semiconductor device according to claim 2, wherein a process of forming stratum disjunctum in a position of the predetermined depth of said substrate comprises a process of carrying out the ion implantation of the hydrogen ion to the predetermined depth of a substrate.

[Claim 4] A manufacturing method of the semiconductor device according to claim 1 or 2, wherein a substrate and a supporting board are silicon semiconductor substrates.

[Claim 5] A manufacturing method of the semiconductor device according to claim 1 or 2, wherein said process (C) comprises a process of forming an opening for backgate electrode formation in a predetermined field of an insulating layer on heights formed in a substrate so that an insulating layer which has predetermined thickness on a substrate may be left behind.

[Claim 6] A manufacturing method of the semiconductor device according to claim 5, wherein an insulating layer has polishing selectivity to a conductive material layer.

[Claim 7] A manufacturing method of the semiconductor device according to claim 5, wherein said process (E) comprises a process of grinding and carrying out flattening of the conductive material layer, by making an insulating layer into a polishing stopper.

[Claim 8] A manufacturing method of the semiconductor device according to claim 1 or 2 characterized by including a process of forming the 2nd insulating layer in the bottom of an opening at least between said processes (C) (D).

[Claim 9] Said process (C) comprises a process of forming an opening for backgate electrode formation which reaches a substrate in a predetermined field of an insulating layer on heights formed in a substrate, and between said processes (C) (D), A manufacturing method of the semiconductor device according to claim 8 forming the 2nd insulating layer that changes from silicon oxide to the bottom of an opening by a thermal oxidation method.

[Claim 10] A manufacturing method of the semiconductor device according to claim 9, wherein an insulating layer has polishing selectivity to a conductive material layer.

[Claim 11] A manufacturing method of the semiconductor device according to claim 9, wherein said process (E) comprises a process of grinding and carrying out flattening of the conductive material layer, by making an insulating layer into a polishing stopper.

[Claim 12] Said process (C) comprises a process of forming an opening for backgate electrode formation which reaches a substrate in a predetermined field of an insulating layer on heights formed in a substrate, and between said processes (C) (D), A manufacturing method of the semiconductor device according to claim 8 forming the 2nd insulating layer that comprises silicon oxide by chemical vapor deposition on an insulating layer including inside of an opening.

[Claim 13] A manufacturing method of the semiconductor device according to claim 12, wherein the 2nd insulating layer has polishing selectivity to a conductive material layer.

[Claim 14] A manufacturing method of the semiconductor device according to claim 12, wherein said process (E) comprises a process of grinding and carrying out flattening of the conductive material layer, by making the 2nd insulating layer into a polishing stopper.

[Claim 15] A manufacturing method of the semiconductor device according to claim 1 or 2, wherein an insulating layer has polishing selectivity to a substrate.

[Claim 16] A manufacturing method of the semiconductor device according to claim 1 or 2, wherein an insulating layer is silicon oxide.

[Claim 17] A manufacturing method of the semiconductor device according to claim 1 or 2, wherein material which constitutes a conductive material layer is conductive polysilicon.

[Claim 18] A manufacturing method of the semiconductor device according to claim 17 oxidizing thermally a conductive material layer which comprises conductive polysilicon which remained in the insulating-layer upper part in said process (E) after grinding a conductive material layer of the insulating-layer upper part.

[Claim 19] A polishing process from which said process (H) removes a process of carrying out specified quantity grinding of the substrate from a rear face of a substrate, and grinding marks and a grinding damage of a grinding side of a substrate, A manufacturing method of the semiconductor device according to claim 1 or 2 changing from a process of performing PACE processing by a plasma etching technique, and a process of carrying out selection polish of the PACE processed surface of a substrate to a polished surface of a substrate.

[Claim 20] a process characterized by comprising the following of forming a conductive material layer on the 2nd insulating layer, and (F) — by grinding a conductive material layer on the 2nd insulating layer, A process of forming a back gate electrode in an opening, and a process of forming the (G) interlayer film in the whole surface, (H) A manufacturing method of a semiconductor device characterized by having a process of pasting a substrate and a supporting board together, and the process of grinding a substrate evenly from a rear face of a substrate so that the 1st insulating layer of a crevice pars basilaris ossis occipitalis formed in the surface of a (I) board may be exposed via an interlayer film.

(A) A process of forming an uneven part on the surface of a substrate.

(B) A process of forming the 1st insulating layer on the surface in which an uneven part of a substrate was formed.

(C) A process of forming the 2nd insulating layer on the 1st insulating layer.

(D) A process of forming an opening for backgate electrode formation which reaches the 1st insulating layer in a predetermined field of the 2nd insulating layer on heights formed in a substrate, and inside of the (E) opening.

[Claim 21] Between said processes (G) (H), stratum disjunctum including a process to form in a position of the predetermined depth of a substrate said process (I), A manufacturing method of the semiconductor device according to claim 20 comprising a process of grinding a substrate evenly from a rear face of a substrate after exfoliation so that the 1st insulating layer of a crevice pars basilaris ossis occipitalis formed in the surface of a substrate may expose, after exfoliating a portion of a substrate by the side of a rear face from stratum disjunctum.

[Claim 22] A manufacturing method of the semiconductor device according to claim 21, wherein a process of forming stratum disjunctum in a position of the predetermined depth of said substrate comprises a process of carrying out the ion implantation of the hydrogen ion to the predetermined depth of a substrate.

[Claim 23] A manufacturing method of the semiconductor device according to claim 20 or 21, wherein a substrate and a supporting board are silicon semiconductor substrates.

[Claim 24]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein said process (D) comprises a process of etching selectively a predetermined field of the 2nd insulating layer on heights formed in a substrate.

[Claim 25]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein said process (F) comprises a process of grinding and carrying out flattening of the conductive material layer, by making the 2nd insulating layer into a polishing stopper.

[Claim 26]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein the 2nd insulating layer has polishing selectivity to a conductive material layer.

[Claim 27]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein the 1st insulating layer has polishing selectivity to a substrate.

[Claim 28]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein the 1st insulating layer has etch selectivity to the 2nd insulating layer.

[Claim 29]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein material which constitutes the 1st insulating layer is silicon oxide.

[Claim 30]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein material which constitutes the 2nd insulating layer is silicon nitride.

[Claim 31]A manufacturing method of the semiconductor device according to claim 20 or 21, wherein material which constitutes a conductive material layer is conductive polysilicon.

[Claim 32]A manufacturing method of the semiconductor device according to claim 31 characterized by oxidizing thermally a conductive material layer which comprises conductive polysilicon which remained on the 2nd insulating layer after grinding a conductive material layer on the 2nd insulating layer in said process (F).

[Claim 33]A process to which said process (I) carries out specified quantity grinding of the substrate from a rear face of a substrate, and grinding marks of a grinding side of a substrate and a polishing process which removes a grinding damage, A manufacturing method of the semiconductor device according to claim 20 or 21 changing from a process of performing PACE processing by a plasma etching technique, and a process of carrying out selection polish of the PACE processed surface of a substrate to a polished surface of a substrate.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention about the manufacturing method of the SOI (Semiconductor On Insulator) type semiconductor device which has what is called a back gate electrode. After forming a back gate electrode especially, it is related with the manufacturing method of the semiconductor device which has the feature in the process of forming the substrate (it is hereafter called a "SOI substrate") which embeds by a substrate lamination method and has an insulating layer.

[0002]

[Description of the Prior Art]In forming an integrated circuit, the method of making an integrated circuit to the semiconductor substrate of bulk state and the method of forming various elements (device) in the thin semiconductor layer (it is called a SOI layer) provided on the insulating layer are known. In the latter method, the SOI substrate by which the SOI layer was provided on insulating layers, such as an oxide film, is used. By using a SOI substrate, separation between elements is made very easy and high integration of an integrated circuit, low power consumption, improvement in the speed, high-withstand-pressure-izing, the formation of a highly efficient element, radiation-proof-ization, etc. are expected.

[0003]Although the art of manufacturing a SOI substrate is known variously, it is put in practical use or there is a substrate lamination method as art near utilization. After a substrate lamination method's providing a level difference in the element formation region of the substrate which comprises a silicon semiconductor substrate, for example and forming an oxide film, After embedding a level difference, carrying out flattening of the interlayer film and pasting a substrate and a supporting board together by forming the interlayer film for flattening, such as a polysilicon film or a silicon oxide film, it is the method of manufacturing a SOI substrate, by grinding a substrate from the rear face of a substrate.

[0004]When the thickness of that a substrate lamination method does not have restriction in a wafer caliber, and the SOI substrate of a large caliber can be obtained, that the tolerance level of the thickness of each film of a SOI substrate is wide, and a SOI layer is thin, in an MOS structure, it is possible to lose the pn junction in the pars basilaris ossis occipitalis of the source region or a drain area, a junction capacitance decreases, and a high speed and a low-electric-power device can be realized, And since the element which has a much more complicated structure from the aforementioned reason etc. is producible, it is the art of attracting attention. So, research and development of the SOI substrate production technology based on a substrate lamination method are done energetically.

[0005]Conventionally, the following methods are known as a method of manufacturing the SOI substrate by a substrate lamination method, for example.

[0006]In JP,2-177433,A, as shown in drawing 15 and drawing 16, (A) (Refer to the (A) for drawing 15) with the process of forming the pad oxide film 101 and the silicon nitride film 102 which comprise silicon oxide on the semiconductor substrate 10, (B) By etching selectively the silicon nitride film 102, the pad oxide film 101, and the semiconductor substrate 10, A selective oxidation method (LOCOS process) is used for the process of forming uneven shape, and the principal surface which has ((B) reference of drawing 15), and a level difference of the (C) semiconductor substrate 10, (Refer to the (C) for drawing 15) with the process of forming the insulator layer 103 in which the field corresponding to a level difference crevice and level difference heights is almost the same, (D) (Refer to the (D) for drawing 15) with the process of forming the silicon oxide film 104 and the film 105 for flattening which comprises polysilicon, silicon oxide, etc. on the silicon oxide film 104 on the insulator layer 103, (E) From the process of carrying out flattening polish of the film 105 for flattening, and the silicon oxide film 104, the process of pasting the supporting board 106 together to ((A) reference of drawing 16), and the (F) flat face, and ((B) reference of drawing 16) and the rear face of the (G) semiconductor substrate 10, grind until the insulator layer 103 exposes the semiconductor substrate 10, The process (refer to (C) of drawing 16) of forming the semiconductor layer (SOI layer) 10A of the island shape separated with the insulator layer 103, and the manufacturing method of ***** are indicated. The manufacturing method of the semiconductor substrate indicated by JP,2-177433,A is called conventional method-A for convenience.

[0007]In the method indicated by JP,2-177433,A, by adopting the process of forming and carrying out flat polish of the film for flattening, a good lamination side is acquired and it is supposed that a reliable SOI substrate can be manufactured.

[0008]The silicon oxide film which has a level difference on one side of a substrate is formed in JP,8-153780,A, It grinds with a steel object surface plate using the abrasive soap which uses as the main ingredients the colloidal silica which has predetermined particle diameter for this silicon oxide film, and the method of obtaining a SOI substrate is indicated by piling up the ground field with the mirror plane of a supporting board, and pasting it together. According to this method,

formation of the polysilicon film conventionally used for manufacture is supposed that it is unnecessary and a SOI substrate can be obtained by the process simplified further. The SOI layer in a SOI substrate is embedded into the insulator layer, therefore element formation is possible for it on thickness direction both sides of a SOI layer. Therefore, it is easy to configure a semiconductor device in a three dimension, and examination of the high integration of LSI using a SOI substrate is also made. The manufacturing method of the semiconductor substrate indicated by JP,8-153780,A is called conventional method-B for convenience.

[0009]For example, it is called "XMOS", arrange the usual gate electrode in which a signal is impressed above a semiconductor layer, and a MOS transistor is constituted in recent years, The gate electrode of a semiconductor layer which controls the pinch-off characteristic and threshold voltage of a MOS transistor caudad. The transistor which has arranged via an insulator layer (this gate electrode is hereafter called "back gate electrode") is proposed. (For example, references, such as Japanese Journal of Applied Physics., 29 (4), and L521-523 (1990)). The conventional manufacturing method of the SOI type semiconductor device which has this back gate electrode is explained with reference to drawing 17 and drawing 18.

[0010]First, an uneven part is formed by trenching (the dry etching method) etc. on the semiconductor substrate 10. subsequently, the silicon oxide film 201 with a thickness [used as an insulator layer] of 0.1 micrometer — for example, a thermal oxidation method or chemical vapor deposition (a CVD method, the Chemical Vapour Deposition method) — it forms based on law. Then, for example, the polysilicon film 202 about 0.3 micrometer thick is made to deposit with a CVD method on the silicon oxide film 201, as shown in (A) of drawing 17. This polysilicon film 202 needs to introduce and electric-conduction-size impurities, such as Lynn, after the time of deposition, or deposition.

[0011]Next, form in the whole surface the resist film which is not illustrated, and the polysilicon film 202 is etched using the resist pattern produced by leaving a resist film only on a backgate electrode formation scheduled region based on a lithography technology. The back gate electrode 203 is formed (refer to (B) of drawing 17).

[0012]Subsequently, the silicone film 204 about 0.6 micrometer thick is formed with a CVD method as an insulator layer so that the back gate electrode 203 may be covered. In order to bury the level difference produced since the silicon oxide film 204 and the back gate electrode 203 were formed, for example, the polysilicon film 205 is made to deposit on the whole surface with a CVD method. The structure shown in (C) of drawing 17 as mentioned above can be acquired.

[0013]Next, as shown in (A) of drawing 18, flattening of the surface of the polysilicon film 205 on which it was made to deposit is carried out by polish, and the field in which lamination is possible is made. A pawl is used, although the graphic display is omitted, when depositing a polysilicon film on the semiconductor substrate 10 within a CVD system, on a stage, a semiconductor substrate is laid and it fixes, but polysilicon grows up to be a portion in contact with the pawl of the both ends of a semiconductor substrate at protuberance form. Since it has an adverse effect on a next polishing process and substrate lamination process, before performing polish for flattening, it is necessary to remove the height of this polysilicon.

[0014]The polishing slurry which comprises colloidal silica with a mean particle diameter of 80 nm can perform flattening of the polysilicon film 205 surface, for example using the polishing pad which comprises polyurethane foam. After removing a level difference and performing flattening of the polysilicon film 205 surface, the state in which lamination is possible can be made to the polysilicon film 205 by grinding the surface of the polysilicon film 205 using the polishing slurry which comprises colloidal silica whose mean particle diameter is 40 nm. For example, an $R_a=0.4$ -nm level can be made to the surface roughness of the surface of the polysilicon film 205 by grinding.

[0015]Subsequently, both boards are joined by preparing the supporting board 206 flattening of the pasting of the surface of was separately made possible, and pasting together one field of the supporting board 206, and the surface of the polysilicon film 205 of the semiconductor substrate which carried out flattening. There is no adhesion of particle etc. in the surface by performing RCA washing etc., for example, and the lamination side of both substrates is changed into the

state where an OH radical exists, and it is necessary to make it not become a cause of gassing at the time of junction in the case of lamination.

[0016]After pasting both substrates together, a firm jointing condition can be acquired under oxygen gas or a nitrogen gas atmosphere by performing 1100°C and heat treatment for 30 minutes - 120 minutes. The structure shown in (B) of drawing 18 as mentioned above can be acquired.

[0017]Then, the substrate peripheral part in an unsealed state is cut off the corners (a graphic display is omitted), The side which formed the level difference and the back gate electrode 203 of the semiconductor substrate 10 among the semiconductor substrates 10 and the supporting boards 206 which were joined grinds the semiconductor substrate 10 from the field (rear face) of the semiconductor substrate 10 of an opposite hand to the thickness to which the damage at the time of grinding does not reach SOI layer 10A. This grinding can be performed, for example using an about [grinding stone yarn count #2000] diamond wheel, carrying out the high velocity revolution of the grinding stone.

[0018]The accuracy of peripheral wheel speed of a grinding side is good early, and the damage by a diamond wheel arises even into a portion with a deep substrate, and the surface roughness of this grinding is also coarse. So, although a transistor is formed on a grinding side, it cannot do. Therefore, in order to remove surface roughness (grinding marks) and a damage, it leaves about 7 micrometers of semiconductor substrates 10 on the silicon oxide film 201, and grinding is stopped, it ranks second and polish of about 3 micrometers is performed. This polish (mirror polishing) can be performed using the polishing slurry containing a for example comparatively big abrasive grain (particle diameter = about 80 nm).

[0019]When the variation in the thickness of the remainder of the semiconductor substrate 10 is large (there is thickness variation which is about ± 1.5 micrometers) and the polished surface after mirror polishing performs selection polish directly, there is fear, such as generating of a DESSHINGU phenomenon and disappearance of a SOI layer. Therefore, it is desirable to equalize the thickness of the remainder of the semiconductor substrate 10 and to perform PACE (Plasma Assisted Chemical Etching) processing by a plasma etching technique for the purpose of obtaining SOI layer 10A of uniform thickness. PACE processing is P. B. Mumola et al., 2nd Inter. Symp. on Semiconductor Wafer Bonding Science, Technology and Application (The, for example. It can carry out in accordance with the method taught to Electrochemical Society, Pennungton, NJ, 1994., etc.

[0020]Then, selection polish is performed in order to obtain removal of the plasma damage of a PACE processed surface, and uniform thin SOI layer 10A. What is necessary is for selection polish to use grinding liquid, such as large ethylenediamine of the grinding rate ratio of silicon and silicon oxide, and just to perform it on the conditions which advance of polish stops, for example using the polishing pad of polyurethane foam, when polish progresses on the heights of the silicon oxide film 201.

[0021]As shown in (C) of drawing 18 as mentioned above, 50-55-nm-thick uniform SOI layer 10A can be formed on the silicon oxide film 201. The method explained above is called conventional method-C for convenience.

[0022]

[Problem(s) to be Solved by the Invention]However, there are the following problems in the above-mentioned conventional method. That is, it is necessary to form the film for flattening on an insulator layer, and the polysilicon film and the silicon oxide film are used as this film for flattening in conventional method-A. Generally, the rugged step provided in a semiconductor substrate is about 120 nm, and in forming a film in order to carry out flattening of this level difference, a film about 5 micrometers thick is needed. However, in order to form the thick polysilicon film to apply, great film production time and a lot of silane system gas are needed. When forming a thick polysilicon film, for example with a CVD method, in a CVD system, a lot of polysilicon adheres and the problem of falling remarkably also has working efficiency.

[0023]When carrying out flattening of the polysilicon film, in the heights of the level difference provided in the semiconductor substrate, a polysilicon film becomes thin, and a polysilicon film becomes thick in a crevice. Therefore, the grain sizes of polysilicon in the flattening polished

surface used as a lamination side differ, and the fall of the yield in a lamination process is brought about.

[0024]When making a polysilicon film about 5 micrometers thick deposit, the polysilicon deposited on the surroundings of the pawl provided in the stage of the CVD system supporting a semiconductor substrate remains in protuberance form at the rear face of a semiconductor substrate. Since polysilicon of this protuberance form has an adverse effect on a next process, the process of removing this is needed.

[0025]Conventional method – In B and conventional method–C, since a thick silicon oxide film is formed without forming the polysilicon film on the silicon oxide film currently conventionally formed in junction, etc., the film production process of a polysilicon film can be skipped.

However, even if it is in these methods, like the case of conventional method–A, It must form thickly to such an extent that flattening of the silicon oxide film can be carried out and the remaining silicon oxide films can be used as an insulating layer, and great film production time and a lot of material gas are required, and the advantageous method cannot say practical.

[0026]When manufacturing a SOI type semiconductor device by a substrate lamination method after forming a back gate electrode, since the level difference is larger, only the part in which the back gate electrode was formed becomes especially remarkable [these problems]. So, the development of the practical manufacturing method simplified one layer based on the substrate lamination method of the SOI type semiconductor device which has a back gate electrode is called for.

[0027]Therefore, the purpose of this invention is a manufacturing method of the semiconductor device which has the feature in the process of manufacturing the semiconductor device which has a back gate electrode what is called by a substrate lamination method. It is in providing simplicity and the method of manufacturing a semiconductor device with the manufacturing cost by which cheap was carried out more, without forming the polysilicon film conventionally formed as an object for flattening.

[0028]

[Means for Solving the Problem]A manufacturing method of a semiconductor device concerning the 1st mode of this invention for attaining the above-mentioned purpose, (A) A process of forming an uneven part on the surface of a substrate, and a process of forming an insulating layer on the surface in which an uneven part of the (B) board was formed, (C) A process of forming an opening for backgate electrode formation which has the predetermined depth in a predetermined field of an insulating layer on heights formed in a substrate, (D) By grinding a process of forming a conductive material layer all over including inside of an opening, and a conductive material layer of the (E) insulating-layer upper part, So that an insulating layer of a crevice pars basilaris ossis occipitalis formed in a process of forming a back gate electrode in an opening, a process of forming the (F) interlayer film in the whole surface, a process of pasting a substrate and a supporting board together via the (G) interlayer film, and the surface of the (H) board may be exposed, It has the process of grinding a substrate evenly from a rear face of a substrate. A “insulating layer” in a manufacturing method of a semiconductor device concerning the 1st mode of this invention and the 2nd mode described below is hereafter called “the 1st insulating layer” for convenience.

[0029]In a manufacturing method of a semiconductor device concerning the 1st mode of this invention, Between said processes (F) (G), stratum disjunctum including a process to form in a position of the predetermined depth of a substrate said process (H), It can be considered as a gestalt which comprises a process of grinding a substrate evenly from a rear face of a substrate after exfoliation, and what is called a Smart Katt method so that the 1st insulating layer of a crevice pars basilaris ossis occipitalis formed in the surface of a substrate may expose, after exfoliating a portion of a substrate by the side of a rear face from stratum disjunctum. Such composition is called for convenience a manufacturing method of a semiconductor device concerning the 2nd mode of this invention.

[0030]A manufacturing method of a semiconductor device concerning the 3rd mode of this invention for attaining the above-mentioned purpose, (A) A process of forming an uneven part on the surface of a substrate, and a process of forming the 1st insulating layer on the surface in

which an uneven part of the (B) board was formed, (C) A process of forming an opening for backgate electrode formation which reaches the 1st insulating layer in a predetermined field of the 2nd insulating layer on a process of forming the 2nd insulating layer on the 1st insulating layer, and heights formed in the (D) board, (E) a process of forming a conductive material layer on the 2nd insulating layer including inside of an opening, and (F) — by grinding a conductive material layer on the 2nd insulating layer, A process of forming a back gate electrode in an opening, and a process of forming the (G) interlayer film in the whole surface, (H) It has a process of pasting a substrate and a supporting board together, and the process of grinding a substrate evenly from a rear face of a substrate so that the 1st insulating layer of a crevice pars basilaris ossis occipitalis formed in the surface of a (I) board may be exposed, via an interlayer film.

[0031]Also in a manufacturing method of a semiconductor device concerning the 3rd mode of this invention, between said processes (G) (H), including a process of forming stratum disjunctum in a position of the predetermined depth of a substrate said process (I), it can be considered as a gestalt which comprises a process of grinding a substrate evenly from a rear face of a substrate after exfoliation, and what is called a Smart Katt method so that the 1st insulating layer of a crevice pars basilaris ossis occipitalis formed in the surface of a substrate may expose, after exfoliating a portion of a substrate by the side of a rear face from stratum disjunctum. Such composition is called for convenience a manufacturing method of a semiconductor device concerning the 4th mode of this invention.

[0032]As for a process of forming stratum disjunctum in a position of the predetermined depth of a substrate, in a manufacturing method of a semiconductor device concerning the 2nd mode or 4th mode of this invention, it is preferred to comprise a process of carrying out the ion implantation of the hydrogen ion to the predetermined depth of a substrate.

[0033]In a manufacturing method of a semiconductor device concerning the 1st mode or 2nd mode of this invention, Said process (C) can be made into a gestalt which comprises a process of forming an opening for backgate electrode formation in a predetermined field of the 1st insulating layer on heights formed in a substrate so that the 1st insulating layer that has predetermined thickness on a substrate may be left behind. The 1st insulating layer that has the predetermined thickness left behind on a substrate functions as gate dielectric film for back gate electrodes. In this case, as for the 1st insulating layer, it is preferred to have polishing selectivity to a conductive material layer. As for said process (E), it is preferred to comprise a process of grinding and carrying out flattening of the conductive material layer, by making the 1st insulating layer into a polishing stopper. Here, that an "A horizon" has polishing selectivity to a "B horizon" means that a direction of an "A horizon" is harder to be ground than a "B horizon", when grinding an "A horizon" and a "B horizon."

[0034]Or in a manufacturing method of a semiconductor device concerning the 1st mode or 2nd mode of this invention, it can also be considered as a gestalt including a process of forming the 2nd insulating layer in the bottom of an opening at least between said processes (C) (D) again. In this case, said process (C) comprises a process of forming an opening for backgate electrode formation which reaches a substrate in a predetermined field of the 1st insulating layer on heights formed in a substrate, and between said processes (C) (D), it can be considered as a gestalt which forms the 2nd insulating layer that changes from silicon oxide (SiO_2) to the bottom of an opening by a thermal oxidation method. And as for the 1st insulating layer, it is preferred to have polishing selectivity to a conductive material layer in this case, and, as for said process (E), it is preferred to comprise a process of grinding and carrying out flattening of the conductive material layer, by making the 1st insulating layer into a polishing stopper. Or said process (C) comprises a process of forming an opening for backgate electrode formation which reaches a substrate in a predetermined field of the 1st insulating layer on heights formed in a substrate, and again between said processes (C) (D), it can be considered as a gestalt which forms the 2nd insulating layer that comprises silicon oxide (SiO_2) by chemical vapor deposition (CVD method) on the 1st insulating layer including inside of an opening. And as for the 2nd insulating layer, it is preferred to have polishing selectivity to a conductive material layer in this case, and, as for said

process (E), it is preferred to comprise a process of grinding and carrying out flattening of the conductive material layer, by making the 2nd insulating layer into a polishing stopper.

[0035]As for said process (D), in a manufacturing method of a semiconductor device applied to the 3rd mode or 4th mode of this invention on the other hand, it is preferred to comprise a process of etching selectively a predetermined field of the 2nd insulating layer on heights formed in a substrate. As for said process (F), it is preferred to comprise a process of grinding and carrying out flattening of the conductive material layer, by making the 2nd insulating layer into a polishing stopper. As for the 2nd insulating layer, it is preferred to have polishing selectivity to a conductive material layer.

[0036]As for the 1st insulating layer, in a manufacturing method of a semiconductor device concerning the 3rd mode or 4th mode of this invention, it is preferred to have etch selectivity to the 2nd insulating layer. That is, when the 1st insulating layer and 2nd insulating layer are etched, it is preferred that a direction of the 1st insulating layer is harder to be etched than the 2nd insulating layer.

[0037]As for the 1st insulating layer, in this invention, it is preferred to have polishing selectivity to a substrate.

[0038]In a manufacturing method (these may only be hereafter called "this invention" generically) of a semiconductor device concerning the 1st mode - 4th mode of this invention, As a substrate, melting and a substrate made to recrystallize can be illustrated for polycrystalline silicon on a silicon semiconductor substrate, a substrate which grew silicon and a Si-germanium mix crystal system epitaxially on a spinel, a substrate which grew silicon and a Si-germanium mix crystal system epitaxially on sapphire, and an insulator layer. As a silicon semiconductor substrate, a P type silicon semiconductor substrate by which an impurity of an N type silicon semiconductor substrate and P type with which an impurity of N type was doped was doped can be used. Melting, a substrate made to recrystallize, a glass substrate, and a quartz substrate can be illustrated for polycrystalline silicon as a supporting board on a silicon semiconductor substrate, a substrate which grew silicon epitaxially on a spinel, a substrate which grew silicon epitaxially on sapphire, and an insulator layer.

[0039]Although it is preferred to use as silicon oxide (SiO_2) material which constitutes the 1st insulating layer in this invention, In addition, SOG (Spin On Glass), PSG (PhosphoSilicate Glass), BPSG (Boro-PhosphoSilicate Glas s), BSG, AsSG, PbSG, SbSG, NSG, LTO () [Low Temperature Oxide and] Low-temperature CVD- SiO_2 , SiN, SiON, and specific inductive capacity 3.5 or less low permittivity insulating material. What laminated charges of an organic high polymer material, such as (for example, poly aryl ether, cyclo perfluorocarbon polymer and benz-cyclo-butene), and polyimide, or such materials can be mentioned. In a manufacturing method of a semiconductor device concerning the 1st mode or 2nd mode of this invention, When forming the 2nd insulating layer, it is preferred to use as silicon oxide (SiO_2) or silicon nitride (SiN) material which constitutes the 2nd insulating layer, but. It cannot limit to these and material illustrated with the same material as material which constitutes the 1st insulating layer, or material which can presuppose that it differs and specifically constitutes the 1st insulating layer can be mentioned. In a manufacturing method of a semiconductor device concerning the 3rd mode or 4th mode of this invention, It does not limit to this and what is necessary is for the 2nd insulating layer just to, consist of materials which have etch selectivity between the 1st insulating layer and the 2nd insulating layer in short, although it is desirable to use as silicon nitride (SiN) material which constitutes the 2nd insulating layer.

[0040]Material which constitutes an interlayer film has insulation and is easy to produce a film, and if it is a film in which adhesion with the 1st or 2nd insulating layer that is a ground is excellent, there will be no restriction in particular in material. As for especially an interlayer film, although stretched with a supporting board therefore, it is preferred to comprise material which is excellent in a supporting board and adhesion. As a material which constitutes an interlayer film, silicon oxide (SiO_2), SOG, PSG, BPSG, etc. can be mentioned, for example. In addition, if it has the heat resistance about 900-1300 degreeC, a charge of an organic high polymer material can also be used. After an interlayer film may have multilayer structure, for example, produces a

flat silicon oxide film by predetermined thickness with a CVD method etc., it can also be formed by making other insulator layers laminate further on this silicon oxide film.

[0041] Although conductive polysilicon in which an impurity was doped, aluminum, an aluminum alloy, copper, a copper alloy, tungsten, and a tungsten alloy can be illustrated as a material which constitutes a conductive material layer, it is desirable especially that it is conductive polysilicon. As a method of doping an impurity to polysilicon, a method of doping an impurity with a method of mixing an impurity beforehand in material for forming polysilicon and ion implantation after forming a polysilicon layer can be mentioned. A conductive material layer can be formed with a CVD method, sputtering process, a vacuum deposition method, etc. according to material.

[0042] In a manufacturing method of a semiconductor device applied to the 1st mode or 2nd mode of this invention when using as conductive polysilicon material which constitutes a conductive material layer in this invention, After grinding the 1st conductive material layer of the insulating-layer upper part in said process (E), On a manufacturing method of a semiconductor device which it is preferred to oxidize thermally a conductive material layer which comprises conductive polysilicon which remained in the 1st insulating-layer upper part, and requires it for the 3rd mode or 4th mode of this invention, and in said process (F), After grinding a conductive material layer on the 2nd insulating layer, it is preferred to oxidize thermally a conductive material layer which comprises conductive polysilicon which remained on the 2nd insulating layer. By this, it becomes a silicon oxide layer and a conductive material layer which remained on the 2nd insulating layer is removed substantially, and a conductive material layer which remained on the 2nd insulating layer originated in a conductive material layer which remained on the 2nd insulating layer, for example, can prevent generating of a short circuit.

[0043] In a manufacturing method of a semiconductor device concerning the 1st mode or 2nd mode of this invention, said process (E), Said process (F) can be made into a process of grinding a conductive material layer based on a chemical-and-mechanical-grinding method (the CMP method), in a manufacturing method of a semiconductor device concerning the 3rd mode or 4th mode of this invention.

[0044] In a manufacturing method of a semiconductor device concerning the 1st mode or 2nd mode of this invention, said process (H), In a manufacturing method of a semiconductor device concerning the 3rd mode or 4th mode of this invention, said process (I), A process of carrying out specified quantity grinding of the substrate from a rear face of a substrate, and a polishing process which removes grinding marks and a grinding damage of a grinding side of a substrate, it is preferred to change from a process of performing PACE (Plasma Assisted Chemical Etching) processing by a partial plasma etching technique, and a process of carrying out selection polish of the PACE processed surface of a substrate to a polished surface of a substrate.

[0045] In a manufacturing method of a semiconductor device of this invention, it has the feature in manufacture of a SOI layer which builds in a back gate electrode, A back gate electrode is formed in an opening especially provided in the 1st insulating layer. And since surface flattening is performed simultaneously, a flat interlayer film with comparatively thin thickness is formed on it and lamination of a substrate and a supporting board is performed via an interlayer film when forming a back gate electrode, Unlike a manufacturing method of the conventional semiconductor device, it is not necessary to form a thick polysilicon film and a silicon oxide film as a flattening layer.

[0046]

[Embodiment of the Invention] Hereafter, with reference to drawings, this invention is explained based on an embodiment of the invention (it is hereafter called an embodiment for short). A state when a substrate etc. are cut in principle in the vertical plane (the direction to which a gate electrode extends, and a right-angled vertical plane) which met the gate electrode length of the semiconductor device is shown in a drawing.

[0047] (Embodiment 1) The manufacturing method of the semiconductor device of Embodiment 1 is related with the manufacturing method of the semiconductor device concerning the 1st mode of this invention, the SOI substrate manufactured by Embodiment 1 is typical — a sectional view is shown in (C) of drawing 3 in part. The interlayer film 18 which comprises the silicon oxide (SiO_2) formed on the supporting board 19 to which this SOI substrate changes from a silicon

semiconductor substrate, it comprises the back gate electrode 17 formed on the interlayer film 18, the 1st insulating layer (embedded oxide film) 13 formed on the 2nd insulating layer 15 equivalent to the gate insulating layer for back gate electrodes, and SOI layer (active layer) 10A formed in the crevice of the 1st insulating layer 13. A desired SOI type semiconductor device can be manufactured by forming various semiconductor devices, such as a gate electrode, in SOI layer 10A.

[0048] Although the manufacturing method of the semiconductor device of Embodiment 1 is explained hereafter, referring to typical drawing 1 which is a sectional view in part – drawing 4, such as a semiconductor substrate, In Embodiment 1, the process of forming the opening for backgate electrode formation which reaches a substrate in the predetermined field of the insulating layer on the heights formed in the substrate is included, and the process of forming the 2nd insulating layer that comprises silicon oxide with a CVD method on an insulating layer including the inside of an opening is included further.

[0049] [Process-100] The substrate 10 which comprises first the single-crystal-silicon semiconductor substrate which is excellent in crystallinity is prepared. And the uneven parts 11 and 12 are formed in the surface (bow noodles) of the substrate 10. As shown in (A) of drawing 1, specifically, the crevice (slot) 11 whose depth is 60 nm – 120 nm is formed in the surface of the substrate 10 at intervals of 500 micrometers by trenching etc. based on a lithography technology and dry etching technology, for example. The heights 12 will remain as a SOI layer (active layer) in the future, and isolation will be performed by the 1st insulating layer 13 formed in the crevice 11.

[0050] [Process-110] Next, the 1st insulating layer 13 is formed on the surface in which the uneven parts 11 and 12 of the substrate 10 were formed (refer to (B) of drawing 1). The 1st insulating layer 13 functions also as a polishing stopper in a next polishing process. As the 1st insulating layer 13, film production and polish flattening are easy and excellent in adhesion with the 2nd insulating layer. If the material which constitutes the 1st insulating layer 13 is a layer which has polishing selectivity to the substance (it is silicon in Embodiment 1) which constitutes the substrate 10, especially, in material, there is no restriction and the insulating material used for the conventional semiconductor device can be used. The 1st insulating layer can be formed with a thermal oxidation method or a CVD method depending on the material to constitute. According to Embodiment 1, film production is easy, and it excels in an insulating property, and the 1st insulating layer 13 that comprises silicon oxide (SiO_2) about 0.3 micrometer thick is formed from a point of flexibility, for example using a thermal oxidation method, the HTO method, a CVD method, etc.

[0051] [Process-120] The opening 14 for backgate electrode formation which has the predetermined depth is formed in the predetermined field of the 1st insulating layer 13 on the heights 12 formed in the substrate 10 after that (refer to (G) of drawing 1). The resist pattern produced by removing only the field which should specifically form in the whole surface the resist film which is not illustrated, and should form a back gate electrode is used as a mask for etching. The opening 14 for backgate electrode formation which reaches the substrate 10 is formed in the predetermined field of the 1st insulating layer 13 on the heights 12 formed in the substrate 10 based on an etching method. The 1st etching reagent or etching gas whose etching of the substrate 10 is slow enough compared with the insulating layer 13 is chosen, the 1st insulating layer 13 is etched, and etching of the 1st insulating layer 13 for formation of the opening 14 is performed on conditions which etching stops with the substrate 10. In this way, the opening 14 which has the desired size and depth which were controlled can be formed.

[0052] [Process-130] Next, the 2nd insulating layer 15 that specifically changes from silicon oxide to the bottom of the opening 14 on the 1st insulating layer 13 including the inside of the opening 14 based on a CVD method at least is formed (refer to (D) of drawing 1). More specifically in Embodiment 1, the 2nd insulating layer 15 that changes from silicon oxide (SiO_2) about 50 nm thick to the 1st insulating-layer 13 top, i.e., the 1st insulating-layer 13 top, and the bottom and the lateral portion of the opening 14, including the inside of the opening 14 is formed with a CVD method.

[0053][Process-140] The conductive material layer 16 is formed after that on the 2nd insulating layer 15 that includes the inside of the opening 14 for backgate electrode formation (refer to (A) of drawing 2). In this case, in order to lower the electrical resistance of a back gate electrode, it is preferred to use the conductive polysilicon in which the impurity was doped. Methods of doping an impurity include the method of doping an impurity with the method of mixing the impurity beforehand in the material for forming polysilicon, and the ion implantation after forming a polysilicon layer. For example, about 0.3 micrometer in thickness is made to deposit the conductive material layer 16 which comprises conductive polysilicon whose boron concentration is $1 \times 10^{20} / \text{cm}^3$ grade in Embodiment 1 with the CVD method which uses silane compound gas and B_2H_6 as material gas.

[0054][Process-150] By ranking second and grinding the upper conductive material layer 16 of the 1st insulating layer 13 by making the 2nd insulating layer 15 into a polishing stopper, specifically, By grinding and carrying out flattening of the conductive material layer 16 on the 2nd insulating layer 15, the back gate electrode 17 is formed in the opening 14 (refer to (B) of drawing 2). As for the 2nd insulating layer 15, although the conductive material layer 16 is ground as for polish of the conductive material layer 16, it is preferred to carry out on the conditions which are not ground. For example, only the surface of the conductive material layer 16 can be selectively ground by the chemical-and-mechanical-grinding method (the CMP method) using the polishing pad which comprises nonwoven fabric substrate crossing, and polishing slurry, such as ethylenediamine. If the polish of the 2nd insulating layer 15 of polishing slurry is slow enough compared with the conductive material layer 16, it can also use other abrasdants. The back gate electrode 17 with the flat surface can be formed in the opening 14 as mentioned above.

[0055][Process-160] Next, the interlayer film 18 is formed in the whole surface. As shown in (C) of drawing 2, specifically, the interlayer film 18 is formed on the 2nd insulating layer 15 and the back gate electrode 17. According to Embodiment 1, since a silicon semiconductor substrate is used as the supporting board 19, the interlayer film 18 which comprises especially a silicon semiconductor substrate and the silicon oxide (SiO_2) which is excellent in adhesion is formed by about 0.3 micrometer in thickness using a thermal oxidation method or a CVD method.

[0056] Since the interlayer film 18 is formed on the 2nd insulating layer 15 that has the flat surface, and the back gate electrode 17, it is uniform and the surface serves as a flat film. Therefore, it is an insulator layer which has a field which can be pasted together, without carrying out flattening of the surface in principle. Fine unevenness (Hayes, Haze) may exist in the surface of the produced interlayer film 18. In such a case, it is preferred to, perform surface lapping of the interlayer film 18 and flattening for example, using the polishing pad which comprises polyurethane foam (nonwoven fabric type continuous foam) by the CMP method using the polishing slurry which comprises colloidal silica with a mean particle diameter of 40 nm.

[0057][Process-170] It ranks second and the substrate 10 and the supporting board 19 are pasted together via the interlayer film 18 (refer to (A) of drawing 3). The supporting board 19 is prepared and, specifically, one field of the supporting board 19 and the surface of the interlayer film 18 of the semiconductor substrate 10 are piled up. As the supporting board 19, the semiconductor substrate which comprises the single crystal silicon which is excellent in crystallinity is used in Embodiment 1.

[0058] It piles each other up — making — although carried out at a room temperature, it is usually preferred to make it there be no adhesion of the particle etc. which fully perform washing of a lamination side, etc. and cause gassing before superposition at the time of lamination. It is preferred to consider it as the surface state by which an OH radical exists and lays on top of a lamination side, and junction is sometimes fully performed. By therefore, the CMP method using the polishing slurry which comprises colloidal silica with a mean particle diameter of 40 nm, for example using the polishing pad which comprises polyurethane foam (suede type continuous foam). It is preferred to perform surface lapping of the supporting board 19 and flattening, and to make an $R_a=0.4\text{-nm}$ level to the surface roughness of the surface of the supporting board 19.

Subsequently, it is preferred to carry out RCA washing of the surface of the supporting board

19. For example, the solution mixed at a rate of $\text{NH}_3:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:2:7$ can be used as an RCA penetrant remover. It is preferred after washing to dry the surface with a spin system. When temperature is raised and it dries, a surface OH radical decreases and there is a possibility that junction power may decline.

[0059]After piling up the interlayer film 18 surface and the supporting board 19 of the substrate 10, when heat-treating for 800–1300°C and 30 to 120 minutes, a firm jointing condition can be formed by oxygen gas or a nitrogen gas atmosphere. Then, the unsealed portion of a peripheral part is cut off the corners.

[0060][Process-180] It ranks second, and the substrate 10 is evenly ground from the rear face of the substrate 10 so that the 1st insulating layer 13 of the pars basilaris ossis occipitalis of the crevice 11 formed in the surface of the substrate 10 may be exposed. Specifically, the substrate 10 is first ground from the rear face of the substrate 10. As shown in (A) of [drawing 4](#), the damage of grinding performs grinding to the thickness which does not reach the SOI layer used as an active layer. For example using a diamond wheel, grinding uses an about [grinding stone yarn count #2000] grinding stone, and it can be performed, carrying out the high velocity revolution (for example, 3000 rpm) of the grinding stone.

[0061]Next, mirror polishing of the substrate 10 and PACE processing are performed from the rear face of the substrate 10. Although the accuracy of peripheral wheel speed of a grinding side is good early, the damage of grinding to the substrate by a diamond wheel is serious, and the granularity of a grinding side is also coarse (refer to (A) of [drawing 4](#)). So, it is not suitable for forming a semiconductor device. Therefore, as shown in (A) of [drawing 4](#), in order to remove surface roughness and a damage, in grinding, it leaves the substrate 10 about 7 micrometers thick above the pars basilaris ossis occipitalis (a figure upper surface) of the crevice 11 eventually. Then, in order to remove the grinding marks in the substrate 10, mirror polishing about 3 micrometers thick is performed (refer to (B) of [drawing 4](#)). Mirror polishing can be performed using with the polishing pad of nonwoven fabric substrate crossing, and a particle diameter of about 80 nm colloidal silica, for example, applying a fixed pressure based on the CMP method, when the 1st insulating layer 13 comprises silicon oxide.

[0062]As shown in (C) of (B) and [drawing 4](#) of [drawing 3](#), in order to make uniform thickness of the substrate 10 on the 1st insulating layer 13, PACE processing by a partial plasma etching technique is performed. In this way, a very uniform thickness of 200±50 nm can be made to the thickness of the substrate 10 on the 1st insulating layer 13 after polish.

[0063]Subsequently, as shown in (C) of [drawing 3](#), selection polish of the substrate 10 left behind on the 1st insulating layer 13 can be carried out further, it can leave by a level difference, and the SOI substrate which has SOI layer (active layer) 10A of desired thickness (for example, about 50±5 nm) can be manufactured. Selection polish can be performed by the CMP method which used a polishing pad, ethylenediamine, etc. of nonwoven fabric substrate crossing. Although ethylenediamine grinds silicon, since silicon oxide has the hardly ground character and the 1st insulating layer 13 plays a role of a polishing stopper, when the 1st insulating layer 13 of the pars basilaris ossis occipitalis (a figure upper surface) of the crevice 11 formed in the surface of the substrate 10 is exposed, polish stops. In this way, stable thin SOI layer (active layer) 10A which has the thickness for the level difference of the uneven parts 11 and 12 can be obtained. Various abrasivants can be used as an abrasivant, without being limited to ethylenediamine, if the grinding rate of silicon and the 1st insulating layer is big enough.

[0064][Process-190] A gate electrode is formed on SOI layer (active layer) 10A after that using the obtained SOI substrate, After forming source/drain area in SOI layer 10A and forming a layer insulation layer in the whole surface, a desired SOI type semiconductor device can be manufactured by forming various wiring.

[0065]In [process-130], as shown in (A) of [drawing 5](#), the 2nd insulating layer 15 that comprises silicon oxide (SiO_2) by a thermal oxidation method can also be formed in the surface of the substrate 10 which the bottom of the opening 14 exposed. When based on a thermal oxidation method, the gate dielectric film for back gate electrodes of much more good thickness can be obtained. In this case, as for the 1st insulating layer 13, it is desirable to have polishing

selectivity to the conductive material layer 16. And specifically in [process-150], flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0066] Or as formation of the 2nd insulating layer 15 is omitted and it is shown in (B) of drawing 5 again. By etching the 1st insulating layer 13 so that the 1st insulating layer 13 that has predetermined thickness on the substrate 10 may be left behind to the predetermined field of the 1st insulating layer 13 on the heights 12 formed in the substrate 10 in [process-120]. The opening 14 for back gate electrode formation may be formed. In this case, the 1st insulating layer 13 that has the predetermined thickness left behind on the substrate 10 functions as gate dielectric film for back gate electrodes. And specifically in [process-150], flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0067] The semiconductor device obtained by Embodiment 1 has a back gate electrode, and has the isolation characteristics which were formed in the SOI layer (active layer) which was thinly excellent in thickness uniformity, and were excellent. Therefore, the SOI type semiconductor device obtained by Embodiment 1 can attain high integration, low power consumption, improvement in the speed, etc.

[0068] (Embodiment 2) Embodiment 2 is related with the manufacturing method of the semiconductor device concerning the 2nd mode of this invention. Embodiment 2 is modification of the manufacturing method of the semiconductor device of Embodiment 1, and manufactures a semiconductor device to the SOI substrate obtained by what is called a Smart Katt method. Specifically between [process-160] of Embodiment 1, and [process-170], In [process-180] of Embodiment 1 including the process of forming the stratum disjunctum 20 in the position of the predetermined depth of the substrate 10, After exfoliating the portion of the substrate 10 by the side of a rear face from the stratum disjunctum 20 of the substrate 10, the substrate 10 is evenly ground from the rear face of the substrate 10 after exfoliation so that the 1st insulating layer 13 of the pars basilaris ossis occipitalis of the crevice 11 formed in the surface of the substrate 10 may be exposed. The process of forming the stratum disjunctum 20 in the position of the predetermined depth of the substrate 10 comprises the process of carrying out the ion implantation of the hydrogen ion to the predetermined depth of the substrate 10. By forming the stratum disjunctum 20, formation of a SOI layer (active layer) becomes easy, and, moreover, the remainder in which the silicon semiconductor substrate exfoliated can be reused.

[0069] Hereafter, the manufacturing method of the semiconductor device of Embodiment 2 is explained with reference to typical drawing 6 and drawing 7, which are sectional views in part, such as a substrate.

[0070] [Process-200] The structure shown in (C) of drawing 2 can be acquired by carrying out the same process as [process-100] of Embodiment 1 - [process-160] first.

[0071] [Process-210] It ranks second, and as shown in (A) of drawing 6, the stratum disjunctum 20 is formed in the position of the predetermined depth of the substrate 10 by carrying out the ion implantation of the hydrogen ion to the substrate 10 from the upper part of the interlayer film 18. As for the stratum disjunctum 20, it is preferred to form less than 1 micrometer under the 1st insulating layer 13 formed as a polishing stopper. In Embodiment 2, the stratum disjunctum 20 is formed around 0.2 micrometer under the 1st insulating layer 13. The silicon layer of around 0.2 micrometer of lower parts of the 1st insulating layer 13 is left behind as polish and ** cost. The reference number 10B shows the portion of an upper (1st insulating-layer side) substrate rather than the stratum disjunctum 20, and the reference number 10C shows the portion of a downward substrate rather than the stratum disjunctum 20.

[0072] [Process-220] As it ranks second and is shown in (B) of drawing 6, the supporting board 19 is prepared and one field of the supporting board 19 and the surface of the interlayer film 18 are piled up. As the supporting board 19, the semiconductor substrate which comprises single crystal silicon is used by Embodiment 2. Although superposition is performed at a room temperature, its Lycium chinense is usually preferred, as it does not have adhesion of the

particle etc. which cause gassing at the time of lamination by pasting together before superposition and fully washing a field. It is preferred to use the surface state that an OH radical exists and lays on top of a lamination side, and junction is sometimes fully performed. After piling up both substrates, heat-treatment for 30 to 120 minutes is performed by 400 degreeC. Then, it heat-treats by 600 degreeC and the substrate 10 is made to separate into the substrate 10B and the substrate 10C from the stratum disjunctum 20, as shown in (A) of drawing 7. Subsequently, the firm jointing condition of the substrate 10B and the supporting board 19 can be acquired by 800-1100 degreeC under oxygen gas or a nitrogen gas atmosphere by performing further heat treatment for 30 minutes - 120 minutes.

[0073]When the ion implantation of the hydrogen ion is carried out into a silicon semiconductor substrate, since the solid-solution limit of hydrogen is low, A micro cavity generates in silicon and becoming a kind of porous structure is known (for example, references, such as A. van Veen, et. al., MRS Symposium Proceeding, Vol.107 pp449, and 1988). After pasting together, when it heat-treats, by Ostwald RAIPUNINGU. Over the injection plane (stratum disjunctum interface), a micro crack spreads and it is known that a silicon semiconductor substrate is easily separable (M. Bruel, Electron. Lett., Vol.31 No. 14, and pp1201 (1995) reference). Embodiment 2 uses this phenomenon. The substrate 10C which is the exfoliation remainder of the substrate 10 is recyclable by grinding the surface and making surface roughness small.

[0074][Process-230] In order to rank second and to obtain a thin SOI layer (active layer), selection polish of the substrate 10B after exfoliation is performed. This selection polish can be performed based on the polishing pad of nonwoven fabric substrate crossing and the grinding liquid which has polishing selectivity between silicon silicon oxide, for example, the CMP method using ethylenediamine. In this case, by adding an abrasive grain to grinding liquid, surface roughness is also improved and polish can be stopped in the height which the surface of the 1st insulating layer 13 exposes (refer to (B) of drawing 7).

[0075][Process-240] A gate electrode is formed on SOI layer (active layer) 10A after that using the obtained SOI substrate, After forming source/drain area in SOI layer 10A and forming a layer insulation layer in the whole surface, a desired SOI type semiconductor device can be manufactured by forming various wiring.

[0076]In Embodiment 2, the 2nd insulating layer 15 that comprises silicon oxide (SiO_2) by a thermal oxidation method can also be formed in the surface of the substrate 10 exposed to the bottom of the opening 14 in the same process as [process-130]. In this case, as for the 1st insulating layer 13, it is desirable to have polishing selectivity to the conductive material layer 16. And in the same process as [process-150], Specifically, flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0077]Or in [omit formation of the 2nd insulating layer 15 again, and] the same process as [process-120], The opening 14 for backgate electrode formation may be formed in the predetermined field of the 1st insulating layer 13 on the heights 12 formed in the substrate 10 by etching the 1st insulating layer 13 so that the 1st insulating layer 13 that has predetermined thickness on the substrate 10 may be left behind. In this case, the 1st insulating layer 13 that has the predetermined thickness left behind on the substrate 10 functions as gate dielectric film for back gate electrodes. And in the same process as [process-150], Specifically, flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0078]According to Embodiment 2, after forming the 2nd insulating layer 15 and forming the interlayer film 18, the stratum disjunctum 20 is formed in the inside of the substrate 10 by carrying out the ion implantation of the hydrogen ion. Therefore, according to the Embodiment 2, the grinding operation of the substrate 10B after a lamination process can be shortened and simplified substantially. Since flattening of the surface can be carried out and reuse can be presented with the remainder 10C of the exfoliative substrate, a manufacturing cost can be reduced substantially.

[0079](Embodiment 3) Embodiment 3 is also modification of Embodiment 1. When forming the back gate electrode 17 in the opening 14 by grinding the conductive material layer 16 on the 2nd insulating layer 15 in [process-150] of Embodiment 1, as a typical part plan is shown in drawing 8, ***** 16A of the conductive material layer 16 may remain. Existence of ***** 16A of such a conductive material layer 16 will generate a short circuit between the back gate electrodes 17. If the conductive material layer 16 is ground too much superfluously so that ***** 16A of the conductive material layer 16 may not exist, There is a possibility that what is called a dishing phenomenon may occur, control of the thickness of the conductive material layer 16 to leave, i.e., the thickness of the back gate electrode 17, may become difficult, and change may arise in the resistance of the back gate electrode 17 as a result. In drawing 8, in order to clarify each field, the slash was attached.

[0080]In the manufacturing method of the semiconductor device in Embodiment 3, in the same process as [process-150] of Embodiment 1, after grinding the 2nd conductive material layer 16 of the insulating-layer 15 upper part, the conductive material layer 16A which comprises the conductive polysilicon which remained on the 2nd insulating layer 15 is oxidized thermally. ***** 16A of the conductive material layer 16 is substantially removed by this. Hereafter, the manufacturing method of the semiconductor device of Embodiment 3 is explained, referring to typical drawing 9 and drawing 10 which are sectional views in part, such as a semiconductor substrate.

[0081][Process-300] The same process as [process-100] of Embodiment 1 - [process-150] is carried out first. By the same process as [process-100] of Embodiment 1, [process-110], [process-120], [process-130], [process-140], and [process-150]. Respectively, the structure shown in (A) of drawing 9, (B), (C), (D), (A) of drawing 10, and (B) can be acquired. At the time of completion of the same process as [process-150], as shown in (B) of drawing 10 depending on the case, a part of conductive material layer 16 16A may remain on the 2nd insulating layer 15. In the same process as [process-150], it is desirable to grind the conductive material layer 16 to an excess a little (that is, generating what is called a dishing phenomenon) by the reason mentioned later. What is done for flattening of the 1st insulating layer 13 after completing the same process as [process-100], Since variation arises in the thickness of the 1st insulating layer 13 after flattening since a polishing stopper does not exist, and degradation arises in the characteristics, such as withstand voltage of the 1st insulating layer 13, with the present art, it is difficult in many cases.

[0082][Process-310] Next, it is considered as the silicon oxide film 16B by oxidizing thermally the conductive material layer 16A which comprises the conductive polysilicon which remained above the 1st insulating layer 13 (specifically on the 2nd insulating layer 15). Although the surface of the conductive material layer 16 which filled the inside of the opening 14 also oxidizes and it becomes the silicon oxide film 16C, since the thickness of the conductive material layer 16 which filled the inside of the opening 14 is about 0.3 micrometer, a problem is not produced at all. In this way, the state where it was obtained is shown in (C) of drawing 10. In (C) of drawing 10, the graphic display of the state of the thickness change by oxidation of the conductive material layer 16A of ***** , etc. is typical.

[0083]In order to form the silicon oxide film of thickness "1", the polysilicon layer of thickness "0.45" is needed. For example, when the conductive material layer 16 is ground so that the thickness of the conductive material layer 16A of 60 nm and ***** may be set [level difference / between the heights 12 and the crevice 11] to 27 nm in the thickness of 60 nm and the 2nd insulating layer 15, the thickness of the silicon oxide film formed by oxidation is set to 60 nm. So that the level difference of the crestal plane of the 2nd insulating layer 15 and the crestal plane of the conductive material layer 16 in the opening 14 may be set to 12 nm. If the conductive material layer 16 in the opening 14 in the state which showed in (B) of drawing 10 is changed into a dishing state, Namely, if the conductive material layer 16 is ground to an excess a little in the same process as [process-150], the crestal plane of the 2nd insulating layer 15 and the crestal plane of the silicon oxide film 16C will be in the state of being in the same flat surface mostly.

[0084][Process-320] A desired SOI type semiconductor device can be henceforth manufactured

by passing through [process-160] of Embodiment 1 - [process-190].

[0085]Also in Embodiment 3, the 2nd insulating layer 15 that comprises silicon oxide (SiO_2) by a thermal oxidation method can also be formed in the surface of the substrate 10 exposed to the bottom of the opening 14 in the same process as [process-130]. In this case, as for the 1st insulating layer 13, it is desirable to have polishing selectivity to the conductive material layer 16. And in the same process as [process-150], Specifically, flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0086]Or in [omit formation of the 2nd insulating layer 15 again, and] the same process as [process-120], The opening 14 for backgate electrode formation may be formed in the predetermined field of the 1st insulating layer 13 on the heights 12 formed in the substrate 10 by etching the 1st insulating layer 13 so that the 1st insulating layer 13 that has predetermined thickness on the substrate 10 may be left behind. In this case, the 1st insulating layer 13 that has the predetermined thickness left behind on the substrate 10 functions as gate dielectric film for back gate electrodes. And in the same process as [process-150], Specifically, flattening of the conductive material layer 16 is carried out by grinding the conductive material layer 16 on the 1st insulating layer 13 by grinding the upper conductive material layer 16 of the 1st insulating layer 13 by the CMP method by making the 1st insulating layer 13 into a polishing stopper.

[0087]In Embodiment 3, like Embodiment 2, the ion implantation of the hydrogen ion may be carried out to the inside of a substrate, and the stratum disjunctum 20 may be formed in the substrate 10 before a lamination process. Since what is necessary is just to specifically adopt the same method as Embodiment 2 substantially, detailed explanation is omitted.

[0088](Embodiment 4) Embodiment 4 is related with the manufacturing method of the semiconductor device concerning the 3rd mode of this invention. In Embodiment 3, after forming the 1st insulating layer, ranking second and forming the 2nd insulating layer on it first, the gate dielectric film for back gate electrodes is formed by etching the 2nd insulating layer by using the 1st insulating layer as an etching stopper.

[0089]Hereafter, the manufacturing method of the semiconductor device of Embodiment 4 is explained, referring to typical drawing 11 and drawing 12 which are sectional views in part, such as a semiconductor substrate.

[0090][Process-400] The uneven parts 11 and 12 are first formed in the surface of the substrate 10. Like Embodiment 1, the substrate 10 is prepared and, specifically, the uneven parts 11 and 12 are formed in the surface of the substrate 10. Specifically, the crevice (slot) 11 whose depth is 12 nm ~ 60 nm is formed in the surface of the substrate 10 at intervals of 500 micrometers by trenching etc., for example.

[0091][Process-410] Next, the 1st insulating layer 13 is formed on the surface in which the uneven parts 11 and 12 of the substrate 10 were formed. According to Embodiment 4, the 1st insulating layer 13 that comprises silicon oxide (SiO_2) about 0.1 micrometer thick is formed with the CVD method which used $\text{SiH}_4\text{-O}_2$ as material gas.

[0092][Process-420] The 2nd insulating layer 15 is formed on the 1st insulating layer 13 after that. Specifically, the 2nd insulating layer 15 with a thickness of about 0.3 micrometer which comprises silicon nitride (SiN), for example with the CVD method using $\text{SiH}_4\text{-NH}_3$ as material gas is formed. It is necessary to make thickness of the 2nd insulating layer 15 only into the thickness which can secure the thickness of a back gate electrode. In this way, the structure shown in (A) of drawing 11 can be acquired.

[0093][Process-430] It ranks second and the opening 14 for backgate electrode formation which reaches the 1st insulating layer 13 is formed in the predetermined field of the 2nd insulating layer 15 on the heights 12 formed in the substrate 10 (refer to (B) of drawing 11). The opening 14 is formed by removing only the field which specifically forms in the whole surface the resist film which is not illustrated, and forms a back gate electrode, and etching after that the 2nd insulating layer 15 that comprises silicon nitride (SiN), using this resist pattern as a mask. Etching of the 2nd insulating layer 15 for formation of the opening 14, It compares with the etch

rate of the 2nd insulating layer 15 that comprises silicon nitride (SiN), it carries out by an etching condition which chooses an etching reagent or etching gas whose etching of the 1st insulating layer 13 which comprises silicon oxide is slow enough, and the 2nd insulating layer 15 is etched, and is stopped on the 1st insulating layer 13. In this way, the opening 14 of the size and thickness which were controlled can be formed.

[0094][Process-440] The conductive material layer 16 is formed like [process-140] of Embodiment 1 after that on the 2nd insulating layer 15 including the inside of the opening 14 (refer to (C) of drawing 11).

[0095][Process-450] Next, the back gate electrode 17 is formed in the opening 14 by grinding the conductive material layer 16 on the 2nd insulating layer 15 by the CMP method. As for the 2nd insulating layer 15, although the conductive material layer 16 is ground as for polish of the conductive material layer 16, it is preferred to carry out on the conditions which are not ground. As polishing slurry, if polish of the 2nd insulating layer 15 that comprises silicon nitride (SiN) compared with the conductive material layer 16 is slow enough, various abrasants can be used. As shown in (A) of drawing 12 as mentioned above, the back gate electrode 17 with the flat surface can be formed.

[0096][Process-460] After that, like [process-160] of Embodiment 1, after forming the interlayer film 18 in the whole surface, the substrate 10 and the supporting board 19 are pasted together via the interlayer film 18 like [process-170] of Embodiment 1 (refer to (B) of drawing 12). Next, the substrate 10 is evenly ground from the rear face of the substrate 10 so that the 1st insulating layer 13 of the pars basilaris ossis occipitalis of the crevice 11 formed in the surface of the substrate 10 may be exposed like [process-180] of Embodiment 1 (refer to (C) of drawing 12).

[0097][Process-470] A gate electrode is formed on SOI layer (active layer) 10A after that using the obtained SOI substrate. After forming sauce/drain area in SOI layer 10A and forming a layer insulation layer in the whole surface, a desired SOI type semiconductor device can be manufactured by forming various wiring.

[0098]The semiconductor device obtained by Embodiment 4 has the isolation characteristics which have the back gate electrode 17, and were formed in SOI layer (active layer) 10A excellent in thickness uniformity like Embodiment 1, and were excellent. Therefore, the semiconductor device obtained by Embodiment 4 can attain high integration, low power consumption, improvement in the speed, etc.

[0099]In Embodiment 4, like Embodiment 2, the ion implantation of the hydrogen ion may be carried out to the inside of a substrate, and the stratum disjunctum 20 may be formed in the substrate 10 before a lamination process. Since what is necessary is just to specifically adopt the same method as Embodiment 2 substantially, detailed explanation is omitted.

[0100]Also in Embodiment 4, [process-450] is followed like Embodiment 3, After grinding the 2nd conductive material layer 16 of the insulating-layer 15 upper part, ***** 16A of the conductive material layer 16 can be substantially removed by oxidizing thermally the conductive material layer 16A which comprises the conductive polysilicon which remained on the 2nd insulating layer 15.

[0101]As mentioned above, although this invention was explained based on the embodiment of the invention, this invention is not limited to these. The structure of the semiconductor device explained by the embodiment of the invention, the used material, etc. are illustration, and can be changed suitably.

[0102]For example, the substantial removal by the thermal oxidation of ***** 16A of the conductive material layer 16 on an insulating layer explained by Embodiment 3 is applicable to the manufacturing method of the SOI type semiconductor device which does not have a back gate electrode. By reference, the manufacturing method of such a semiconductor device is hereafter explained with reference to typical drawing 13 and drawing 14 which are sectional views in part, such as a substrate.

[0103]First, the same process as [process-100] of Embodiment 1, [process-110], and [process-140] is carried out. The structure shown in (A) of drawing 13, (B), and (C) can be acquired, respectively by the same process as [process-100] of Embodiment 1, [process-110], and

[process-140]. In the same process as [process-140], the polysilicon layer 116 is formed instead of a conductive material layer. The polysilicon layer 116 functions as a film for flattening. The polysilicon layer 116 does not need to have conductivity. After completing the same process as [process-100], since variation arises in the thickness of the insulating layer 113 after flattening since a polishing stopper does not exist, and degradation arises in the characteristics, such as withstand voltage of the insulating layer 113, it is difficult with the present art to carry out flattening of the insulating layer 113 in many cases.

[0104] Then, the same process as [process-150] of Embodiment 1 is performed. Namely, the upper polysilicon layer 116 of the insulating layer 113 is ground by making the insulating layer 113 into a polishing stopper. It is desirable to grind the polysilicon layer 116 superfluously so that it may become the thickness about the half of the level difference of the uneven parts 11 and 12 from a viewpoint of arranging the crestal plane of the insulating layer 113 in the SOI substrate obtained eventually, and the silicon oxide film 116B. In this way, flattening of the insulating layer 113 and the polysilicon layer 116 is carried out in general (refer to (A) of drawing 14). The polysilicon layer 116A remains in the dent of the insulating layer 113. Subsequently, it is considered as the silicon oxide film 116B by oxidizing the polysilicon layer 116 thermally (refer to (B) of drawing 14). Then, the crestal plane of the flat insulating layer 113 and the silicon oxide film 116B is again arranged by performing flattening processing. The thermal oxidation of the polysilicon layer 116 may be omitted depending on the case, and flattening processing for the second time may be omitted.

[0105] Henceforth, a desired SOI type semiconductor device can be manufactured by passing through [process-160] of Embodiment 1 - [process-190].

[0106]

[Effect of the Invention] In the manufacturing method of the semiconductor device of this invention, unlike a Prior art, formation of the polysilicon film for flattening becomes unnecessary, and what needed to form an about 5-micrometer thick polysilicon film should just form an interlayer film about 0.1-0.5 micrometer thick conventionally. Therefore, a desired SOI substrate can be produced in a little film production raw materials and short film production time, and a manufacturing cost can be reduced substantially.

[0107] According to the Prior art, since long film production time was required using a lot of film production material gas, in the CVD system, the excessive work which polysilicon accumulates on the portion in contact with the pawl of the both ends of a substrate at protuberance form, and removes this protuberance form thing was required. Since it ends in a little film production raw materials and short film production time according to this invention, generation of this protuberance form thing is almost lost. Therefore, the excessive work which removes a protuberance form thing becomes unnecessary, and simplification of a manufacturing process can be attained.

[0108] The heights of a substrate can be made into a polishing stopper when grinding and carrying out flattening of the 1st insulating layer to the height of the heights upper bed of a substrate, and the grinding rate of the 1st insulating layer uses sufficiently big abrasive soap as compared with the grinding rate of a substrate. By this, it can be made to end by the heights of a substrate certainly, and polish advances too much, it is sufficient, and polish is not carried out.

[0109] Since an interlayer film is formed on the 1st insulating layer by which flattening was carried out, the 2nd insulating layer, and a back gate electrode. The flattening polish on the surface of an interlayer film becomes unnecessary as a principle in front of the lamination of a supporting board, the variation factor of polish is lost, lamination is stabilized, and improvement in the substrate lamination yield can be aimed at.

[0110] In addition, since the interlayer film of uniform membranous quality is formed on the 1st insulating layer by which flattening was carried out, the 2nd insulating layer, and a back gate electrode, sufficient withstand voltage can be obtained. If the interlayer film which is a lamination side is constituted from silicon oxide, it compares, when performing lamination by a silicon comrade. (— namely, — comparing, when pasting together the supporting board and polysilicon film which comprise a silicon semiconductor substrate —) — since a combination stable between the interlayer film and silicon which comprise silicon oxide is formed, improvement in

the substrate lamination yield can be aimed at.

[0111]By performing PACE processing, with the conventional grinding method, thickness of the substrate thin-film-ized by 1-5 micrometers can be made much more thin, and the SOI layer of uniform thickness can be obtained very thinly.

[0112]Since according to the manufacturing method of the semiconductor device concerning the 2nd or the 4th mode of this invention it can exfoliate and most substrates which should carry out grinding removal can originally be removed, polishing time is shortened substantially and becomes easy [polish and flattening]. The remainder of the exfoliative substrate can be reused by carrying out flattening of the surface again, and serves as large cost reduction.

[0113]Therefore, the semiconductor device obtained by the manufacturing method of this invention can attain high integration, low-power-consumption-izing, improvement in the speed, etc., and, moreover, is excellent in various device properties.

[0114]If the conductive material layer which comprises the conductive polysilicon which remained on the 1st insulating layer or the 2nd insulating layer is oxidized thermally after grinding the 1st conductive material layer of the insulating-layer upper part when using as conductive polysilicon material which constitutes a conductive material layer, It becomes a silicon oxide layer and the conductive material layer which remained on the 1st insulating layer or the 2nd insulating layer is removed substantially, and the conductive material layer which remained on the 1st insulating layer or the 2nd insulating layer originated in the conductive material layer which remained on the 1st insulating layer or the 2nd insulating layer, for example, can prevent generating of a short circuit certainly.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]the substrate for explaining the manufacturing method of the semiconductor device of the embodiment of the invention 1, etc. are typical — it is a sectional view in part.

[Drawing 2]the substrate for continuing at drawing 1 and explaining the manufacturing method of the semiconductor device of the embodiment of the invention 1, etc. are typical — it is a sectional view in part.

[Drawing 3]the substrate for continuing at drawing 2 and explaining the manufacturing method of the semiconductor device of the embodiment of the invention 1, etc. are typical — it is a sectional view in part.

[Drawing 4]the substrate for explaining the polishing process in the manufacturing method of the semiconductor device of the embodiment of the invention 1, etc. are typical — it is a sectional view in part.

[Drawing 5]in the embodiment of the invention 1, the substrate etc. in which a sectional view and the state where it left the insulating layer to the bottom of the opening with a typical substrate etc. in which the state where the 2nd insulating layer that changes from silicon oxide to the bottom of an opening by a thermal oxidation method was formed is shown are shown are typical

in part — it is a sectional view in part.

[Drawing 6]the substrate for explaining the manufacturing method of the semiconductor device of the embodiment of the invention 2, etc. are typical — it is a sectional view in part.

[Drawing 7]the substrate for continuing at drawing 6 and explaining the manufacturing method of the semiconductor device of the embodiment of the invention 2, etc. are typical — it is a sectional view in part.

[Drawing 8]the typical part plan for explaining the problem which may happen in [process-150] of the embodiment of the invention 1 — and typical — it is a sectional view in part.

[Drawing 9]the substrate for explaining the manufacturing method of the semiconductor device of the embodiment of the invention 3, etc. are typical — it is a sectional view in part.

[Drawing 10]the substrate for continuing at drawing 9 and explaining the manufacturing method of the semiconductor device of the embodiment of the invention 3, etc. are typical — it is a sectional view in part.

[Drawing 11]the substrate for explaining the manufacturing method of the semiconductor device of the embodiment of the invention 4, etc. are typical — it is a sectional view in part.

[Drawing 12]the substrate for continuing at drawing 11 and explaining the manufacturing method of the semiconductor device of the embodiment of the invention 4, etc. are typical — it is a sectional view in part.

[Drawing 13]the substrate at the time of applying the substantial removal by the thermal oxidation of ***** of the conductive material layer on an insulating layer to the manufacturing method of the SOI type semiconductor device which does not have a back gate electrode etc. which were explained by the embodiment of the invention 3 are typical — it is a section reference drawing in part.

[Drawing 14]the substrate at the time of applying the substantial removal by the thermal oxidation of ***** of the conductive material layer on an insulating layer to the manufacturing method of the SOI type semiconductor device which does not have a back gate electrode etc. which continued at drawing 13 and were explained by the embodiment of the invention 3 are typical — it is a section reference drawing in part.

[Drawing 15]the semiconductor substrate for explaining the manufacturing method of the semiconductor device of conventional method-A, etc. are typical — it is a sectional view in part.

[Drawing 16]the semiconductor substrate for continuing at drawing 15 and explaining the manufacturing method of the semiconductor device of conventional method-A, etc. are typical — it is a sectional view in part.

[Drawing 17]the semiconductor substrate for explaining the manufacturing method of the semiconductor device of conventional method-C, etc. are typical — it is a sectional view in part.

[Drawing 18]the semiconductor substrate for continuing at drawing 17 and explaining the manufacturing method of the semiconductor device of conventional method-C, etc. are typical — it is a sectional view in part.

[Description of Notations]

10 ... A substrate, 10A ... A SOI layer (active layer), 11 ... Crevice, 12 [... The 2nd insulating layer,] ... Heights, 13 ... The 1st insulating layer, 14 ... An opening, 15 16 [... A back gate electrode, 18 / ... An interlayer film, 19 / ... A supporting board, 20 / ... Stratum disjunctum] ... A conductive material layer, 16A ... ***** of a conductive material layer, 16B, 16C ... A silicon oxide film, 17

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

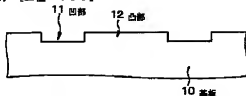
3.In the drawings, any words are not translated.

DRAWINGS

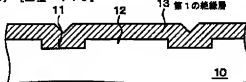
[Drawing 1]

[図 1]

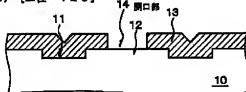
(A) [工程-100]



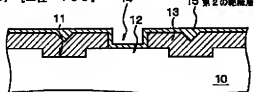
(B) [工程-110]



(C) [工程-120]



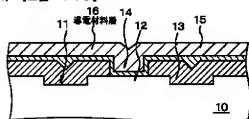
(D) [工程-130]



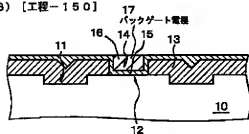
[Drawing 2]

【図2】

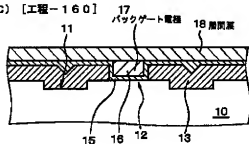
(A) [工程-140]



(B) [工程-150]



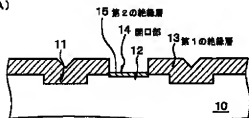
(C) [工程-160]



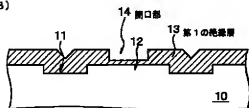
[Drawing 5]

【図5】

(A)



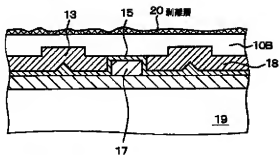
(B)



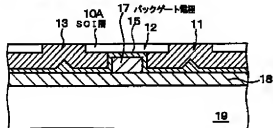
[Drawing 7]

【図7】

(A) 【工程-220】 続き



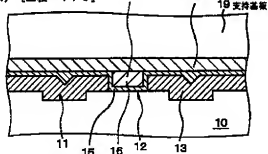
(B) 【工程-230】



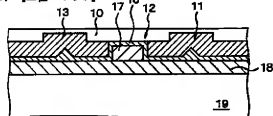
[Drawing 3]

【図8】

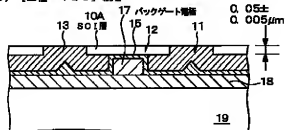
(A) 【工程-170】



(B) 【工程-180】



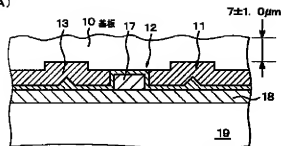
(C) 【工程-180】 続き



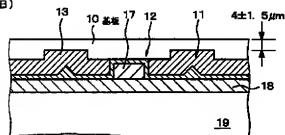
[Drawing 4]

【図 4】

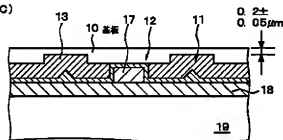
(A)



(B)



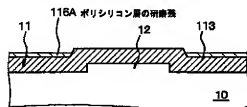
(C)



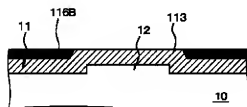
[Drawing 14]

【図 14】

(A)



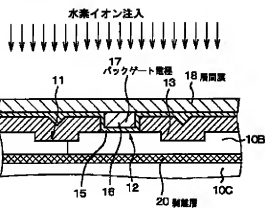
(B)



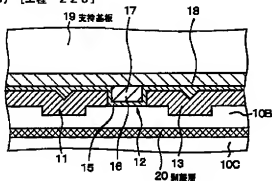
[Drawing 6]

【図6】

(A) 【工程-210】

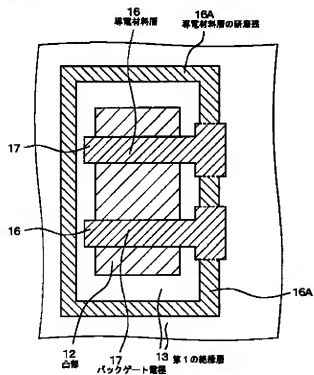


(B) 【工程-220】



[Drawing 8]

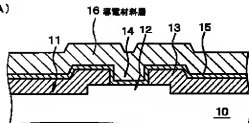
【図8】



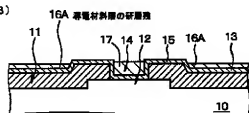
[Drawing 10]

[図 10]

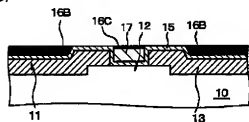
(A)



(B)



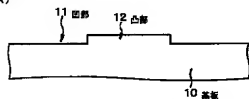
(C)



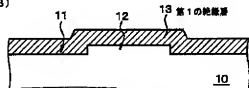
[Drawing 9]

[図 9]

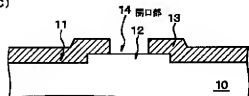
(A)



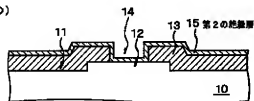
(B)



(C)



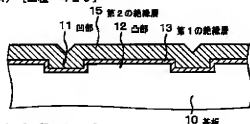
(D)



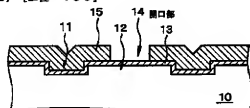
[Drawing 11]

【図 11】

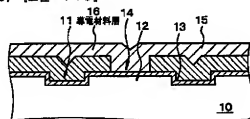
(A) 【工程-420】



(B) 【工程-430】



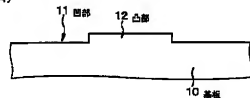
(C) 【工程-440】



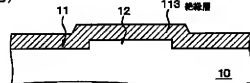
[Drawing 13]

【図 13】

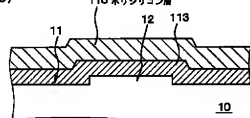
(A)



(B)



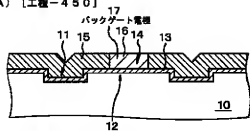
(C)



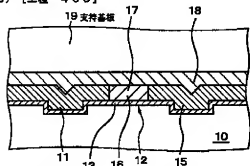
[Drawing 12]

【図12】

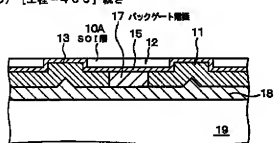
(A) [工程-450]



(B) [工程-460]

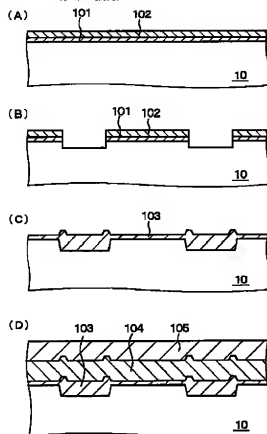


(C) [工程-460] 続き



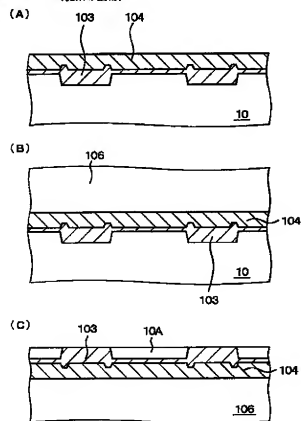
[Drawing 15]

【図 15】 (従来の技術)



[Drawing 16]

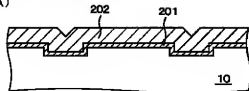
【図 16】 (従来の技術)



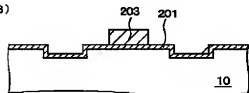
[Drawing 17]

【図 17】 (従来技術)

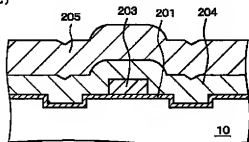
(A)



(B)



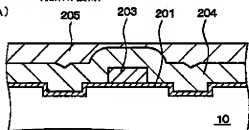
(C)



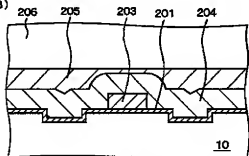
[Drawing 18]

【図 18】 (従来技術)

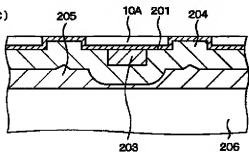
(A)



(B)



(C)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-28354

(P2001-28354A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 21/304	6 2 2	H 0 1 L 21/304	6 2 2 X 5 F 0 3 2
21/762		27/12	B 5 F 1 1 0
27/12		21/76	D
29/786		29/78	6 1 7 N

審査請求 未請求 請求項の数33 O L (全 22 頁)

(21) 出願番号 特願平11-273635

(22) 出願日 平成11年9月28日 (1999.9.28)

(31) 優先権主張番号 特願平11-131869

(32) 優先日 平成11年5月12日 (1999.5.12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大久保 安教

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(72) 発明者 中村 元昭

東京都品川区北品川6丁目7番35号 ソニ

株式会社内

(74) 代理人 100094363

弁理士 山本 孝久

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

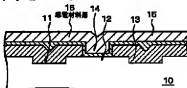
(57) 【要約】

【課題】 簡便、且つ、より低廉された製造コストで、基板貼り合わせ法に基づきバックゲート電極を有する S O I 型半導体装置の製造方法を提供する。

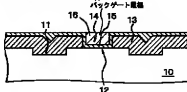
【解決手段】 本発明の半導体装置の製造方法においては、基板 10 の表面に凹凸部 11、12 を形成し、その上に絶縁層 13 を形成した後、凸部 12 上の絶縁層 13 の所定の領域にバックゲート電極形成用の開口部 14 を形成し、次いで、開口部 14 内を含む全面に導電材料層 16 を形成した後、導電材料層 16 を研磨することによって、開口部 14 内にバックゲート電極 17 を形成し、その後、層間膜 18 を全面に形成し、層間膜 18 を介して、基板 10 と支持基板とを張り合わせ、基板 10 の表面に形成された凹部 11 底部の絶縁層 13 が露出するように、基板 10 の裏面から基板 10 を平坦に研磨する。

【図 2】

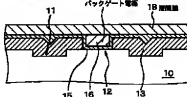
(A) 【工程-140】



(B) 【工程-150】



(C) 【工程-160】



【特許請求の範囲】

【請求項1】(A) 基板の表面に凹凸部を形成する工程と、

(B) 基板の凹凸部が形成された表面上に、絶縁層を形成する工程と、

(C) 基板に形成された凸部上の絶縁層の所定の領域に、所定の深さを有するバックゲート電極形成用の開口部を形成する工程と、

(D) 開口部内を含む全面に導電材料層を形成する工程と、

(E) 絶縁層上方の導電材料層を研磨することによって、開口部内にバックゲート電極を形成する工程と、

(F) 層間膜を全面に形成する工程と、

(G) 層間膜を介して、基板と支持基板とを張り合わせる工程と、

(H) 基板の表面に形成された凹部底部の絶縁層が露出するように、基板の裏面から基板を平坦に研磨する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】前記工程(F)と工程(G)との間で、基板の所定の深さの位置に剥離層を形成する工程を含み、前記工程(H)は、裏面側の基板の部分を剥離層から剥離した後、基板の表面に形成された凹部底部の絶縁層が露出するように、剥離後の基板の裏面から基板を平坦に研磨する工程から成ることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記基板の所定の深さの位置に剥離層を形成する工程は、基板の所定の深さに水素イオンをイオン注入する工程から成ることを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】基板及び支持基板はシリコン半導体基板であることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項5】前記工程(C)は、基板に形成された凸部上の絶縁層の所定の領域に、基板上に所定の厚さを有する絶縁層が残されるようにバックゲート電極形成用の開口部を形成する工程から成ることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項6】絶縁層は、導電材料層に対して研磨選択性を有することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】前記工程(E)は、絶縁層を研磨ストップパーとして、導電材料層を研磨して平坦化する工程から成ることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項8】前記工程(C)と工程(D)の間で、少なくとも開口部の底面に第2の絶縁層を形成する工程を含むことを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項9】前記工程(C)は、基板に形成された凸部

上の絶縁層の所定の領域に、基板に連するバックゲート電極形成用の開口部を形成する工程から成り、

前記工程(C)と工程(D)の間で、開口部の底面に、熱酸化法により酸化シリコンから成る第2の絶縁層を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】絶縁層は、導電材料層に対して研磨選択性を有することを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項11】前記工程(E)は、絶縁層を研磨ストップパーとして、導電材料層を研磨して平坦化する工程から成ることを特徴とする請求項9に記載の半導体装置の製造方法。

【請求項12】前記工程(C)は、基板に形成された凸部上の絶縁層の所定の領域に、基板に連するバックゲート電極形成用の開口部を形成する工程から成り、前記工程(C)と工程(D)の間で、開口部内を含む絶縁層上に、化学的気相成長法により酸化シリコンから成る第2の絶縁層を形成することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項13】第2の絶縁層は、導電材料層に対して研磨選択性を有することを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項14】前記工程(E)は、第2の絶縁層を研磨ストップパーとして、導電材料層を研磨して平坦化する工程から成ることを特徴とする請求項12に記載の半導体装置の製造方法。

【請求項15】絶縁層は、基板に対して研磨選択性を有することを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項16】絶縁層は酸化シリコンであることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項17】導電材料層を構成する材料は導電性のポリシリコンであることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項18】前記工程(E)において、絶縁層上方の導電材料層を研磨した後、絶縁層上方に残存した導電性のポリシリコンから成る導電材料層を熱酸化することを特徴とする請求項17に記載の半導体装置の製造方法。

【請求項19】前記工程(H)は、基板の裏面から基板を所定量研削する工程と、基板の研削面の研削底と研削ダメージを除去する研磨工程と、基板の研削面にプラズマエッチング法によるPAC E加工を施す工程と、基板のPAC E加工面を選択研磨する工程から成ることを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項20】(A) 基板の表面に凹凸部を形成する工程と、

(B) 基板の凹凸部が形成された表面上に、第1の絶縁

層を形成する工程と、

(C) 第1の絶縁層上に第2の絶縁層を形成する工程と、

(D) 基板に形成された凸部上の第2の絶縁層の所定の領域に、第1の絶縁層に造るバックゲート電極形成用の開口部を形成する工程と、

(E) 開口部内を含む第2の絶縁層上に導電材料層を形成する工程と、

(F) 第2の絶縁層上の導電材料層を研磨することによって、開口部内にバックゲート電極を形成する工程と、

(G) 層間膜を全面に形成する工程と、

(H) 層間膜を介して、基板と支持基板とを張り合わせる工程と、

(I) 基板の表面に形成された凹部底部の第1の絶縁層が露出するように、基板の裏面から基板を平坦に研磨する工程、とを有することを特徴とする半導体装置の製造方法。

【請求項21】前記工程(G)と工程(H)との間で、基板の所定の深さの位置に剥離層を形成する工程を含み、

前記工程(I)は、裏面側の基板の部分を剥離層から剥離した後、基板の表面に形成された凹部底部の第1の絶縁層が露出するように、剥離後の基板の裏面から基板を平坦に研磨する工程から成ることを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】前記基板の所定の深さの位置に剥離層を形成する工程は、基板の所定の深さに水素イオンをイオン注入する工程から成ることを特徴とする請求項21に記載の半導体装置の製造方法。

【請求項23】基板及び支持基板はシリコン半導体基板であることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項24】前記工程(D)は、基板に形成された凸部上の第2の絶縁層の所定の領域を選択的にエッチングする工程から成ることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項25】前記工程(F)は、第2の絶縁層を研磨スrapperとして、導電材料層を研磨して平坦化する工程から成ることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項26】第2の絶縁層は、導電材料層に対して研磨選択性を有することを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項27】第1の絶縁層は、基板に対して研磨選択性を有することを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項28】第1の絶縁層は、第2の絶縁層に対してエッチング選択性を有することを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項29】第1の絶縁層を構成する材料は酸化シリ

コンであることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項30】第2の絶縁層を構成する材料は酸化シリコンであることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項31】導電材料層を構成する材料は導電性のポリシリコンであることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【請求項32】前記工程(F)において、第2の絶縁層上の導電材料層を研磨した後、第2の絶縁層上に残存した導電性のポリシリコンから成る導電材料層を熱酸化することを特徴とする請求項31に記載の半導体装置の製造方法。

【請求項33】前記工程(I)は、基板の裏面から基板を所定量研削する工程と、基板の研削面の研削痕と研削ダメージを除去する研磨工程と、基板の研磨面にプラスマエッチング法によるPAC加工を施す工程と、基板のPAC加工面を選択研磨する工程から成ることを特徴とする請求項20又は請求項21に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所謂バックゲート電極を有するSOI(Semiconductor On Insulator)型半導体装置の製造方法に関し、特に、バックゲート電極を形成した後、基板張り合わせ法により埋め込み絶縁層を有する基板(以下、「SOI基板」と呼ぶ)を形成するプロセスを特徴とする半導体装置の製造方法に関する。

【0002】

【従来の技術】集積回路を形成するにあたり、集積回路をバブル状の半導体基板に作り込む方法と、絶縁層上に設けられた薄い半導体層(SOI層と呼ぶ)に各種素子(デバイス)を形成する方法が知られている。後者の方法においては、酸化膜等の絶縁層上にSOI層が設けられたSOI基板を用いる。SOI基板を用いることによって、素子間分離を非常に容易にし、集積回路の高集積化、低消費電力化、高速化、高耐圧化、高機能素子化、耐放射線化等が期待される。

【0003】SOI基板を製造する技術が種々知られているが、実用化され、あるいは実用化に近い技術として、基板張り合わせ法がある。基板張り合わせ法は、例えば、シリコン半導体基板から成る基板の素子形成領域に段差を設けて酸化膜を形成した後、ポリシリコン膜又は酸化シリコン膜等の平坦化用の層間膜を形成することにより段差を埋め込み、層間膜を平坦化し、基板と支持基板とを張り合わせた後、基板の裏面から基板を研磨することによりSOI基板を製造する方法である。

【0004】基板張り合わせ法は、ウェハサイズに制限がなく、大口徑のSOI基板を得ることができること、S

○I基板の各膜の膜厚の許容範囲が広いこと、SOI層の厚さが薄い場合には、MOS構造において、ソース領域やドレイン領域の底部におけるp-n接合をなくすことが可能であり、接合容量が減少し、高速、低電力デバイスが実現できること、及び、前記の理由等から一層複雑な構造を有する素子を作製することができることから、注目を集めている技術である。それ故、基板張り合わせ法に基づくSOI基板製造技術の研究開発が精力的に行われている。

【0005】従来、基板張り合わせ法によるSOI基板を製造する方法として、例えば、次のような方法が知られている。

【0006】特開平2-177433号公報には、図15及び図16に示すように、(A)半導体基板10上に酸化シリコンから成るパッド酸化膜101及び窒化シリコン膜102を形成する工程と(図15の(A)参照)、(B)窒化シリコン膜102、パッド酸化膜101及び半導体基板10を選択的にエッチングすることにより、凹凸形状を形成する工程と(図15の(B)参照)、(C)半導体基板10の段差を有する主面に選択的酸化(LOCOS法)を用いて、段差凹部と段差凸部に対応する面がほぼ同一の絶縁膜103を形成する工程と(図15の(C)参照)、(D)絶縁膜103の上に酸化シリコン膜104、及び、酸化シリコン膜104の上にポリシリコンや酸化シリコン等から成る平坦化用膜105を形成する工程と(図15の(D)参照)、(E)平坦化用膜105及び酸化シリコン膜104を平坦化研磨する工程と(図16の(A)参照)、(F)平坦面に支持基板106を張り合わせる工程と(図16の(B)参照)、(G)半導体基板10の裏面から、半導体基板10を絶縁膜103が露出するまで研磨し、絶縁膜103で分離された島状の半導体層(SOI層)10Aを形成する工程(図16の(C)参照)、から成る半導体基板の製造方法が開示されている。尚、便宜上、特開平2-177433号公報に開示された半導体基板の製造方法を、従来法-Aと呼ぶ。

【0007】特開平2-177433号公報に開示された方法においては、平坦化用膜を形成して平坦研磨する工程を採用することによって、良好な張り合わせ面を得て、信頼性の高いSOI基板を製造することができることとされている。

【0008】また、特開平8-153780号公報には、基板の片面に段差を有する酸化シリコン膜を形成し、この酸化シリコン膜を所定の粒径を有するコロイダルシリカを主成分とする研磨剤を用いて顕微鏡定盤により研磨し、研磨された面を支持基板の鏡面と重ね合わせて張り合わせることでSOI基板を得る方法が開示されている。この方法によれば、従来製造に用いられていたポリシリコン膜の形成が不要であり、一層簡略化された工程によりSOI基板を得ることができるとされてい

る。また、SOI基板におけるSOI層は絶縁膜の中に埋め込まれており、そのためSOI層の厚さ方向両側に素子形成が可能である。従って、半導体素子を3次元に立体配置することが容易であり、SOI基板を用いたLSIの高集積化の検討もなされている。尚、便宜上、特開平8-153780号公報に開示された半導体基板の製造方法を、従来法-Bと呼ぶ。

【0009】例えば、近年、「X MOS」と称され、信号が印加される通常のゲート電極を半導体層の上に配置してMOSトランジスタを構成し、半導体層の下方に、MOSトランジスタのピンチオフ特性や閾値電圧を制御するゲート電極(以下、かかるゲート電極を「バックゲート電極」という)を、絶縁膜を介して配置したトランジスタが提案されている(例えば、Japanese Journal of Applied Physics., 29(4), L521-S23 (1990)等参照)。かかるバックゲート電極を有するSOI型半導体装置の従来の製造方法を、図17及び図18を参照して説明する。

【0010】まず、半導体基板10上に、トレンチ法(ドライエッチング法)等により凹凸部を形成する。次いで、絶縁膜となる厚さ0.1μmの酸化シリコン膜201を、例えば、熱酸化法又は化学的気相成長法(CVD法、Chemical Vapour Deposition)法に基づき形成する。続いて、図17の(A)に示すように、酸化シリコン膜201上に、例えば、CVD法により、厚さ0.3μm程度のポリシリコン膜202を堆積させる。このポリシリコン膜202は、堆積時あるいは堆積後にリン等の不純物を導入して導電化をする必要がある。

【0011】次に、図示しないレジスト膜を全面に形成し、リソグラフィ技術に基づきバックゲート電極形成予定領域上にのみにレジスト膜を残して得られるレジストパターンを用いて、ポリシリコン膜202をエッチングして、バックゲート電極203を形成する(図17の(B)参照)。

【0012】次いで、バックゲート電極203を覆うように、絶縁膜として厚さ約0.6μmのシリコン膜204を例えばCVD法により形成する。更に、酸化シリコン膜204及びバックゲート電極203を形成したために生じた段差を埋めるために、ポリシリコン膜205を、例えば、CVD法により全面に堆積させる。以上のようにして、図17の(C)に示す構造を得ることができ

る。【0013】次に、図18の(A)に示すように、堆積させたポリシリコン膜205の表面を研磨により平坦化し、張り合わせが可能な面に仕上げる。尚、図示を省略しているが、CVD装置内で半導体基板10上にポリシリコン膜を堆積するときにはステージ上にツメを用いて半導体基板を載置、固定するが、半導体基板の両端のツメと接触していた部分にポリシリコンが突起部に成長する。このポリシリコンの突起部は、後の研磨工程や基板

張り合わせ工程に悪影響を及ぼすので、平坦化のための研磨を行う前に取り除く必要がある。

【0014】ポリシリコン膜205表面の平坦化は、例えば、ポリウレタン発泡体から成る研磨パッドを用い、平均粒径80nmのコロイダルシリカから成る研磨スラリーにより行うことができる。段差を除去し、ポリシリコン膜205表面の平坦化を行った後、平均粒径が40nmのコロイダルシリカから成る研磨スラリーを用いてポリシリコン膜205の表面を研磨することにより、張り合わせが可能な状態にポリシリコン膜205を仕上げる

ことができる。例えば、研磨することにより、ポリシリコン膜205の表面の面粗さを $R_a = 0.4\text{nm}$ レベルに上げることができる。

【0015】次いで、別途表面が張り合わせ可能に平坦化された支持基板206を準備し、支持基板206の一方の面と、平坦化した半導体基板のポリシリコン膜205の表面とを張り合わせることに、両基板の接合を行う。張り合わせの際、両基板の張り合わせ面を、例えばRCA洗浄等を行うことにより、表面にパーティクル等の付着がなく、OH基が存在する状態とし、また、接合時に気泡発生の原因とならないようにしておく必要がある。

【0016】両基板を張り合わせた後、例えば、酸素ガス又は窒素ガス雰囲気下、 1100°C 、30分～120分の熱処理を行うことによって、強固な接合状態を得ることができる。以上のようにして、図18の(B)に示す構造を得ることができる。

【0017】その後、未接合状態にある基板外周部分の面取りを行い(図示を省略)、接合された半導体基板10と支持基板206の内、半導体基板10の段差及びバックゲート電極203を形成した側とは反対側の半導体基板10の面(裏面)から、研削時のダメージがSOI層10Aに到達しない厚さまで半導体基板10を研削する。この研削は、例えば、砥石番手#2000程度のダイヤモンド砥石を用い、砥石を高速回転させながら行うことができる。

【0018】この研削は、研削速度も早く、研削面の精度も良いが、ダイヤモンド砥石によるダメージが基板の深い部分にまで生じ、また面粗さも粗い。それ故、研削面上にトランジスタを形成することができない。従って、面粗さ(研削痕)及びダメージを除去するために、酸化シリコン膜201上に半導体基板10を7 μm 程度残して研削を停止し、次いで、3 μm 程度の研磨を行う。この研磨(鏡面研磨)は、例えば、比較的大きな砥粒(粒径=80nm程度)の入った研磨スラリーを用いて行うことができる。

【0019】鏡面研磨後の研磨面は、半導体基板10の残部の厚さのバラツキが大きく(±1.5 μm 程度の厚さバラツキがある)、直接選択研磨を行った場合には、デッシング現象の発生やSOI層の消失等の虞がある。

従って、半導体基板10の残部の厚さを均一化して、均一な厚さのSOI層10Aを得る目的で、プラズマエッチング法によるPACE(Plasma Assisted Chemical Etching)加工を行うことが望ましい。PACE加工は、例えば、P. B. Mumola et al., 2nd Inter. Symp. on Semiconductor Wafer Bonding Science, Technology and Application (The Electrochemical Society, Pennington, NJ, 1994.) 等に教示された方法に従って行うことができる。

【0020】その後、PACE加工面のプラズマダメージの除去と均一な薄いSOI層10Aを得るために、選択研磨を行う。選択研磨は、例えば、ポリウレタン発泡体の研磨パッドを用い、シリコンと酸化シリコンとの研磨レート比の大きいエチレンジアミン等の研磨液を使用し、研磨が酸化シリコン膜201の凸部まで進んだ時点で研磨の進行が停止する条件で行えばよい。

【0021】以上のようにして、図18の(C)に示すように、酸化シリコン膜201上に、厚さが $50 \pm 5\text{nm}$ の均一なSOI層10Aを形成することができる。

尚、便宜上、以上に説明した方法を、従来法-Cと呼ぶ。

【0022】

【発明が解決しようとする課題】しかしながら、上記した従来方法には次のような問題がある。即ち、従来法-Aにおいては、平坦化用膜を熱処理上に形成する必要があり、かかる平坦化用膜として、ポリシリコン膜や酸化シリコン膜を用いている。一般に、半導体基板に設けられる凹凸段差は120nm程度であり、この段差を平坦化する目的で膜を形成する場合に、5 μm 程度の厚さの膜が必要となる。しかしながら、かかる厚いポリシリコン膜を形成するには、多大な製膜時間と多量のシリコン系ガスが必要とされる。また、例えばCVD法により厚いポリシリコン膜を形成する場合、CVD装置内に多量のポリシリコンが付着し、作業効率が悪く低下するといった問題もある。

【0023】また、ポリシリコン膜を平坦化する場合、半導体基板に設けられた段差の凸部ではポリシリコン膜が薄くなり、凹部ではポリシリコン膜が厚くなる。従って、張り合わせとなるポリシリコン膜におけるポリシリコンのグレインサイズが異なり、張り合わせ工程における歩留の低下をもたらす。

【0024】更に、厚さ5 μm 程度のポリシリコン膜を堆積させる場合、半導体基板を支えているCVD装置のステージに設けられたツムの周りに堆積したポリシリコンが半導体基板の裏面に突起状に残る。この突起状のポリシリコンは、後の工程に悪影響を与えるので、これを取り除く工程が必要となる。

【0025】また、従来法-B及び従来法-Cにおいては、従来接合用に形成されていた酸化シリコン膜上のポリシリコン膜等を形成せずに、厚い酸化シリコン膜を形

成するので、ポリシリコン膜の製膜工程を省略することができる。しかしながら、これらの方法であっても、従来法-Aの場合と同様に、酸化シリコン膜を平坦化して残りの酸化シリコン膜を絶縁層として使用することができ、さら程度に厚く形成しなければならぬ。多大な製膜時間と多量の原料ガスが必要であり、実用的には有利な方法とはいえない。

【0026】バックゲート電極を形成した後、基板張り合わせ法によりSOI型半導体装置を製造する場合、バックゲート電極を形成した分だけ段差がより大きくなっている。これらの問題は特に顕著となる。それ故、バックゲート電極を有するSOI型半導体装置の、基板張り合わせ法に基づく一層簡略化された実用的な製造方法の開発が求められている。

【0027】従って、本発明の目的は、所謂基板張り合わせ法によるバックゲート電極を有する半導体装置を製造するプロセスに特徴を有する半導体装置の製造方法であって、従来平坦化用として形成されてきたポリシリコン膜を形成することなく、簡便、且つ、より低廉された製造コストで半導体装置を製造し得る方法を提供することにある。

【0028】

【課題を解決するための手段】上記の目的を達成するため本発明の第1の態様に係る半導体装置の製造方法は、(A)基板の表面に凹凸部を形成する工程と、

(B)基板の凹凸部が形成された表面上に、絶縁層を形成する工程と、(C)基板に形成された凸部上の絶縁層の所定の領域に、所定の深さを有するバックゲート電極形成用の開口部を形成する工程と、(D)開口部を含む全面に導電材料層を形成する工程と、(E)絶縁層上方の導電材料層を研磨することによって、開口部内にバックゲート電極を形成する工程と、(F)層間膜を全面に形成する工程と、(G)層間膜を介して、基板と支持基板とを張り合わせる工程と、(H)基板の表面に形成された凹凸部上の絶縁層が露出するように、基板の裏面から基板を平坦に研磨する工程、とを有することを特徴とする。尚、本発明の第1の態様、及び、次に述べる第2の態様に係る半導体装置の製造方法における「絶縁層」を、便宜上、以下、「第1の絶縁層」と呼ぶ。

【0029】本発明の第1の態様に係る半導体装置の製造方法においては、前記工程(F)と工程(G)との間で、基板の所定の深さの位置に剥離層を形成する工程を含み、前記工程(H)は、裏面側の基板の部分を剥離層から剥離した後、基板の表面に形成された凹凸部上の第1の絶縁層が露出するように、剥離後の基板の裏面から基板を平坦に研磨する工程から成る形態、所謂スマート・カット法とすることができる。このような構成を、便宜上、本発明の第2の態様に係る半導体装置の製造方法と呼ぶ。

【0030】上記の目的を達成するための本発明の第3

の態様に係る半導体装置の製造方法は、(A)基板の表面に凹凸部を形成する工程と、(B)基板の凹凸部が形成された表面上に、第1の絶縁層を形成する工程と、

(C)第1の絶縁層上に第2の絶縁層を形成する工程と、(D)基板に形成された凸部上の第2の絶縁層の所定の領域に、第1の絶縁層に連するバックゲート電極形成用の開口部を形成する工程と、(E)開口部内を含む第2の絶縁層上に導電材料層を形成する工程と、(F)第2の絶縁層上の導電材料層を研磨することによって、開口部内にバックゲート電極を形成する工程と、(G)層間膜を全面に形成する工程と、(H)層間膜を介して、基板と支持基板とを張り合わせる工程と、(I)基板の表面に形成された凹凸部上の第1の絶縁層が露出するように、基板の裏面から基板を平坦に研磨する工程、とを有することを特徴とする。

【0031】本発明の第3の態様に係る半導体装置の製造方法においても、前記工程(G)と工程(H)との間で、基板の所定の深さの位置に剥離層を形成する工程を含み、前記工程(I)は、裏面側の基板の部分を剥離層から剥離した後、基板の表面に形成された凹凸部上の第1の絶縁層が露出するように、剥離後の基板の裏面から基板を平坦に研磨する工程から成る形態、所謂スマート・カット法とすることができる。このような構成を、便宜上、本発明の第4の態様に係る半導体装置の製造方法と呼ぶ。

【0032】本発明の第2の態様若しくは第4の態様に係る半導体装置の製造方法において、基板の所定の深さの位置に剥離層を形成する工程は、基板の所定の深さに水素イオンをイオン注入する工程から成ることが好ましい。

【0033】本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法においては、前記工程(C)は、基板に形成された凸部上の第1の絶縁層の所定の領域に、基板上に所定の厚さを有する第1の絶縁層が残されるようにバックゲート電極形成用の開口部を形成する工程から成る形態とすることができる。基板上に残された所定の厚さを有する第1の絶縁層は、バックゲート電極用ゲート絶縁膜として機能する。この場合、第1の絶縁層は、導電材料層に対して研磨選択性を有することが好ましい。また、前記工程(E)は、第1の絶縁層を研磨スッターとして、導電材料層を研磨して平坦化する工程から成ることが好ましい。ここで、「A層」が「B層」に対して研磨選択性を有するとは、「A層」と「B層」とを研磨するとき、「A層」の方が「B層」よりも研磨され難いことを意味する。

【0034】あるいは又、本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法においては、前記工程(C)と工程(D)の間で、少なくとも開口部の底面に第2の絶縁層を形成する工程を含む形態とすることもできる。この場合、前記工程(C)は、基板に形成

された凸部上の第1の絶縁層の所定の領域に、基板に達するバックゲート電極形成用の開口部を形成する工程から成り、前記工程(C)と工程(D)の間で、開口部の底面に、熱酸化法により酸化シリコン(SiO_2)から成る第2の絶縁層を形成する形態とすることができる。そして、この場合には、第1の絶縁層は、導電材料層に対して研磨選択性を有することが好ましく、また、前記工程(E)は、第1の絶縁層を研磨ストッパーとして、導電材料層を研磨して平坦化する工程から成ることが好ましい。あるいは又、前記工程(C)は、基板に形成された凸部上の第1の絶縁層の所定の領域に、基板に達するバックゲート電極形成用の開口部を形成する工程から成り、前記工程(C)と工程(D)の間で、開口部内を含む第1の絶縁層上に、化学的气相成長法(CVD法)により酸化シリコン(SiO_2)から成る第2の絶縁層を形成する形態とすることができる。そして、この場合には、第2の絶縁層は、導電材料層に対して研磨選択性を有することが好ましく、また、前記工程(E)は、第2の絶縁層を研磨ストッパーとして、導電材料層を研磨して平坦化する工程から成ることが好ましい。

【0035】一方、本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法においては、前記工程(D)は、基板に形成された凸部上の第2の絶縁層の所定の領域を選択的にエッチングする工程から成ることが好ましい。また、前記工程(F)は、第2の絶縁層を研磨ストッパーとして、導電材料層を研磨して平坦化する工程から成ることが好ましい。更には、第2の絶縁層は、導電材料層に対して研磨選択性を有することが好ましい。

【0036】本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法においては、第1の絶縁層は、第2の絶縁層に対してエッチング選択性を有することが好ましい。即ち、第1の絶縁層と第2の絶縁層とをエッチングしたとき、第1の絶縁層の方が、第2の絶縁層よりもエッチングされ難いことが好ましい。

【0037】また、本発明においては、第1の絶縁層は基板に対して研磨選択性を有することが好ましい。

【0038】本発明の第1の態様〜第4の態様に係る半導体装置の製造方法(以下、これを総称して、単に「本発明」と呼ぶ場合がある)においては、基板として、シリコン半導体基板、スピネル上にシリコンやSi-Gc混晶系をエピタキシャル成長させた基板、サファイヤ上にシリコンやSi-Gc混晶系をエピタキシャル成長させた基板、絶縁膜上に多結晶シリコンを溶融、再結晶させた基板を例示することができる。シリコン半導体基板としては、N型の不純物がドーピングされたN型シリコン半導体基板やP型の不純物がドーピングされたP型シリコン半導体基板を用いることができる。また、支持基板として、シリコン半導体基板、スピネル上にシリコンをエピタキシャル成長させた基板、サファイヤ上にシリコ

ンをエピタキシャル成長させた基板、絶縁膜上に多結晶シリコンを溶融、再結晶させた基板、ガラス基板や石英基板を例示することができる。

【0039】本発明においては、第1の絶縁層を構成する材料を酸化シリコン(SiO_2)とすることが好ましいが、その他、SOG(Spin On Glass)、PSG(Phosphosilicate Glass)、BPSG(Boro-Phosphosilicate Glass)、BSG、AsSG、PbSG、SbSG、NSG、LTO(Low Temperature Oxide、低温CVD- SiO_2)、SiN、SiON、比誘電率が3.5以下の低誘電率絶縁材料(例えば、ポリアリアルエーテル、シクロパワフルオロカーボンポリマー、ベンジシクロブテン)、ポリイミド等の有機高分子材料、あるいはこれらの材料を積層したものを用いることができる。本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法において、第2の絶縁層を形成する場合、第2の絶縁層を構成する材料を、酸化シリコン(SiO_2)あるいは窒化シリコン(SiN)とすることが好ましいが、これに限定するものでなく、第1の絶縁層を構成する材料と同じ材料あるいは異なるものとすることが、具体的に、第1の絶縁層を構成する材料に例示した材料を挙げることができる。本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法においては、第2の絶縁層を構成する材料を窒化シリコン(SiN)とすることが望ましいが、これに限定するものではなく、要は、第1の絶縁層と第2の絶縁層との間にエッチング選択性がある材料から、第2の絶縁層を構成すればよい。

【0040】層間膜を構成する材料は、絶縁性を有し、製膜が容易で、下地である第1あるいは第2の絶縁層との密着性が優れる膜であれば、材料的に特に制限はない。特に、層間膜は、支持基板と張り合われるものであるが故に、支持基板と密着性に優れる材料から成ることが好ましい。層間膜を構成する材料として、例えば、酸化シリコン(SiO_2)、SOG、PSG、BPSG等を用いることができる。その他、900〜1300°C程度の耐熱性を有するものであれば、有機高分子材料を用いることもできる。尚、層間膜は、多層構造を有していてもよく、例えば、CVD法等により平坦な酸化シリコン膜を所定の膜厚で製膜した後、この酸化シリコン膜上に他の絶縁膜を更に積層させることによって形成することもできる。

【0041】導電材料層を構成する材料として、不純物がドーピングされた導電性のポリシリコン、アルミニウム、アルミニウム合金、銅、銅合金、タングステン、タングステン合金を例示することができるが、中でも、導電性のポリシリコンであることが望ましい。ポリシリコンに不純物をドーピングする方法として、ポリシリコンを形成するための材料中に不純物を予め混合しておく方法や、ポリシリコン層を形成した後、例えば、イオン注入法によ

り不純物をドーピングする方法を挙げることができる。導電材料層は、材料に応じて、CVD法、スパッタリング法、真空蒸着法等により形成することができる。

【0042】本発明において導電材料層を構成する材料を導電性のポリシリコンとする場合、本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法においては、前記工程(E)において、第1の絶縁層上方の導電材料層を研磨した後、第1の絶縁層上方に残存した導電性のポリシリコンから成る導電材料層を熱酸化することが好ましく、本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法においては、前記工程(F)において、第2の絶縁層上の導電材料層を研磨した後、第2の絶縁層上に残存した導電性のポリシリコンから成る導電材料層を熱酸化することが好ましい。これによって、第2の絶縁層上に残存した導電材料層は酸化シリコン層となり、第2の絶縁層上に残存した導電材料層が実質的に除去され、第2の絶縁層上に残存した導電材料層に起因した、例えば短絡の発生を防止することができる。

【0043】本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法において、前記工程(E)は、また、本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法において、前記工程(F)は、導電材料層を化学的機械的研磨法(CMP法)に基づき研磨する工程とすることができる。

【0044】本発明の第1の態様若しくは第2の態様に係る半導体装置の製造方法において、前記工程(H)は、また、本発明の第3の態様若しくは第4の態様に係る半導体装置の製造方法において、前記工程(I)は、基板の裏面から基板を所定量研削する工程と、基板の研削面の研削痕と研削ダメージを除去する研磨工程と、基板の研磨面に局所プラズマエッチング法によるPAC E (Plasma Assisted Chemical Etching)加工を施す工程と、基板のPAC E加工面を選択研磨する工程から成ることが好ましい。

【0045】本発明の半導体装置の製造方法においては、バックゲート電極を内蔵するSOI層の製造に特徴を有し、特に、第1の絶縁層に設けられた開口部内にバックゲート電極が形成され、しかも、バックゲート電極を形成する際に、同時に表面の平坦化を行い、その上に比較的厚さの薄い平坦な層間膜を形成し、層間膜を介して基板と支持基板との張り合わせを行うので、従来の半導体装置の製造方法と異なり、平坦化層としての厚いポリシリコン膜や酸化シリコン膜を形成する必要がない。

【0046】

【発明の実施の形態】以下、図面を参照して、発明の実施の形態(以下、実施の形態と略称する)に基づき本発明を説明する。尚、原則として、半導体装置のゲート電極長に沿った垂直面(ゲート電極の延びる方向と直角の垂直面)で基板等を切断したときの状態を図面に示す。

【0047】(実施の形態1) 実施の形態1の半導体装置の製造方法は、本発明の第1の態様に係る半導体装置の製造方法に関する。実施の形態1により製造されたSOI基板の模式的な一部断面図、図3の(C)に示す。このSOI基板は、シリコン半導体基板から成る支持基板19上に形成された酸化シリコン(SiO_2)から成る層間膜18と、層間膜18上に形成されたバックゲート電極17と、バックゲート電極用ゲート絶縁層に相当する第2の絶縁層15上に形成された第1の絶縁層(埋め込み酸化膜)13と、第1の絶縁層13の凹部に形成されたSOI層(活性層)10Aとから構成されている。SOI層10Aに、ゲート電極等の各種半導体素子を形成することにより、所望のSOI型半導体装置を製造することができる。

【0048】以下、実施の形態1の半導体装置の製造方法を、半導体基板等の模式的な一部断面図である図1～図4を参照しながら説明するが、実施の形態1においては、基板に形成された凸部上の絶縁層の所定の領域に基板に連するバックゲート電極形成用の開口部を形成する工程を含み、更に、開口部内を含む絶縁層上にCVD法により酸化シリコンから成る第2の絶縁層を形成する工程を含む。

【0049】[工程-100] 先ず、結晶性に優れた単結晶シリコン半導体基板から成る基板10を準備する。そして、基板10の表面(おもてめん)に凹凸部11、12を形成する。具体的には、図1の(A)に示すように、基板10の表面に、例えば、トレッチ法などにより、リソグラフィ技術及びドライエッチング技術に基づき、例えば、深さが80nm～20nmの凹部(溝部)11を500μm間隔で形成する。尚、凸部12は、将来、SOI層(活性層)として残り、凹部11内に形成される第1の絶縁層13によって素子分離が行われる。

【0050】[工程-110] 次に、基板10の凹凸部11、12が形成された表面上に、第1の絶縁層13を形成する(図1の(B)参照)。第1の絶縁層13は、後の研磨工程において、研磨ストッパーとしても機能する。第1の絶縁層13としては、製膜や研磨平坦化が容易で、第2の絶縁層との密着性に優れ、第1の絶縁層13を構成する材料が、基板10を構成する物質(実施の形態1においてはシリコン)に対して研磨選択性を有する層であれば、特に、材料的に制限はなく、従来の半導体装置に用いられる絶縁材料を用いることができる。第1の絶縁層は、構成する材料に依存して、熱酸化法あるいはCVD法等により形成することができる。実施の形態1では、製膜が容易で、絶縁特性に優れ、また、汎用性の点から、例えば、熱酸化法、HTO法、CVD法等を用いて、厚さ0.3μm程度の酸化シリコン(SiO_2)から成る第1の絶縁層13を形成する。

【0051】[工程-120] その後、基板10に形成

された凸部12上の第1の絶縁層13の所定の領域に、所定の深さを有するバックゲート電極形成用の開口部14を形成する(図1の(C)参照)。具体的には、図示しないレジスト膜を全面に形成し、バックゲート電極を形成すべき領域のみ除去して得られたレジストパターンをエッチング用マスクとして用い、基板10に形成された凸部12上の第1の絶縁層13の所定の領域に、基板10に達するバックゲート電極形成用の開口部14をエッチング法に基づき形成する。開口部14の形成のための第1の絶縁層13のエッチングは、第1の絶縁層13に比べて基板10のエッチングが十分に遅いようなエッチング液又はエッチングガスを選択し、第1の絶縁層13がエッチングされ、基板10でエッチングが停止するような条件で行う。こうして、制御された所望の寸法及び深さを有する開口部14を形成することができる。

【0052】[工程-130] 次に、少なくとも開口部14の底面に、具体的には、開口部14内を含む第1の絶縁層13上に、CVD法に基づき酸化シリコンから成る第2の絶縁層15を形成する(図1の(D)参照)。より具体的には、実施の形態1においては、開口部14内を含む第1の絶縁層13上に、即ち、第1の絶縁層13上、並びに、開口部14の底面及び側面部に、厚さ50nm程度の酸化シリコン(SiO_2)から成る第2の絶縁層15をCVD法にて形成する。

【0053】[工程-140] その後、バックゲート電極形成のために、開口部14内を含む第2の絶縁層15上に導電材料層16を形成する(図2の(A)参照)。この場合、バックゲート電極の電気抵抗を下げるために、不純物がドーパされた導電性のポリシリコンを用いることが好ましい。不純物をドーパする方法としては、ポリシリコンを形成するための材料中に不純物を予め混合しておく方法や、ポリシリコン層を形成した後、例えば、イオン注入法により不純物をドーパする方法がある。実施の形態1では、例えば、シラン化合物ガス及び B_2H_6 を原料ガスとして用いるCVD法により、ホウ素濃度が $1 \times 10^{19} / \text{cm}^3$ 程度の導電性のポリシリコンから成る導電材料層16を厚さ0.3 μm 程度に堆積させる。

【0054】[工程-150] 次いで、第2の絶縁層15を研磨スlobberとして、第1の絶縁層13の上方の導電材料層16を研磨することによって、具体的には、第2の絶縁層15上の導電材料層16を研磨して平坦化することによって、開口部14内にバックゲート電極17を形成する(図2の(B)参照)。導電材料層16の研磨は、導電材料層16は研磨されるが、第2の絶縁層15は研磨されない条件で行うことが好ましい。例えば、不織布基材クロスから成る研磨パッドと、エチレンジアミン等の研磨スラリーを用いる化学的機械的研磨法(CMP法)により、導電材料層16の表面のみを選択的に研磨することができる。尚、研磨スラリーは、導電

材料層16に比べて第2の絶縁層15の研磨が十分に遅いものであれば、他の研磨材を使用することもできる。以上のようにして、開口部14内に、表面が平坦なバックゲート電極17を形成することができる。

【0055】[工程-160] 次に、層間膜18を全面に形成する。具体的には、図2の(C)に示すように、第2の絶縁層15及びバックゲート電極17上に層間膜18を形成する。実施の形態1では、支持基板19としてシリコン半導体基板を用いるので、シリコン半導体基板と特に密着性に優れた酸化シリコン(SiO_2)から成る層間膜18を、熱酸化法又はCVD法等を用いて厚さ0.3 μm 程度で形成する。

【0056】層間膜18は平坦な表面を有する第2の絶縁層15及びバックゲート電極17上に形成されるので、均一で表面が平坦な膜となる。従って、原則として表面を平坦化することなく、張り合わせ可能な面を有する絶縁膜となっている。製膜された層間膜18の表面に細かい凹凸(ヘイズ、Haze)が存在する場合がある。このような場合には、例えば、ポリウレタン発泡体(不織布タイプの連続発泡体)から成る研磨パッドを用い、平均粒径40nmのコロイダルシリカから成る研磨スラリーを用いるCMP法により、層間膜18の表面の研磨、平坦化を行うことが好ましい。

【0057】[工程-170] 次いで、層間膜18を介して、基板10と支持基板19とを張り合わせる(図3の(A)参照)。具体的には、支持基板19を準備し、支持基板19の一方の面と、半導体基板10の層間膜18の表面とを重ね合わせる。支持基板19として、実施の形態1においては、結晶性に優れた単結晶シリコンから成る半導体基板を用いる。

【0058】重ね合わせは、通常、室温で行うが、重ね合わせの前に、張り合わせ面の洗浄等を十分にを行い、張り合わせ時に気泡発生の原因となるパーティクル等の付着がないようにしておくことが好ましい。また、張り合わせ面にOH基が存在して重ね合わせ時に接合が十分に行われる表面状態とすることが好ましい。そのために、例えば、ポリウレタン発泡体(スエードタイプの連続発泡体)から成る研磨パッドを用い、平均粒径40nmのコロイダルシリカから成る研磨スラリーを用いるCMP法により、支持基板19の表面の研磨、平坦化を行い、支持基板19の表面の面粗さを $R_a = 0.4 \text{ nm}$ レベルに仕上げるのが好ましい。次いで、支持基板19の表面をRCA洗浄することが好ましい。例えば、RCA洗浄液として、 $\text{NH}_4\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 2 : 7$ の割合で混合した溶液を用いることができる。洗浄後、表面をスピン方式で乾燥することが好ましい。温度を上げて乾燥すると、表面のOH基が減少し、接合力が低下する虞がある。

【0059】基板10の層間膜18表面と支持基板19とを重ね合わせた後、酸素ガス又は窒素ガス雰囲気、

800~1300°C、30~120分間の加熱処理することにより、強固な接合状態を形成することができる。その後、外周部分の未接合部分の面取りを行う。

【0060】[工程-180]次いで、基板10の表面に形成された凹部11の底部の第1の絶縁層13が露出するように、基板10の裏面から基板10を平坦に研磨する。具体的には、先ず、基板10の裏面から基板10を研削する。研削は、図4の(A)に示すように、研削のダメージが活性層となるSOI層に到達しない厚さまで行う。尚、研削は、例えば、ダイヤモンド砥石を用い、砥石番手#2000程度の砥石を使用し、砥石を高速度回転(例えば3000rpm)させながら行うことができる。

【0061】次に、基板10の裏面から、基板10の鏡面研磨、PACE加工を行う。研削は、研削速度が早く、研削面の精度も良いが、ダイヤモンド砥石による基板へのダメージが大きく、研削面の粗さ粗い(図4の(A)参照)。それ故、半導体装置を形成するのに適さない。従って、図4の(A)に示すように、面粗さ及びダメージを除去するために、研削においては、最終的に、凹部11の底部(図では上面)の上方に厚さ7μm程度の基板10を残す。その後、基板10における研削痕を除去するために、厚さ3μm程度の鏡面研磨を行う(図4の(B)参照)。鏡面研磨は、例えば、第1の絶縁層13が酸化シリコンから構成されている場合、不織布基材クロスの研磨パッドと粒径80nm程度のコロイダルシリカを用いて、CMP法に基づき一定の圧力を加えながら行うことができる。

【0062】更に、図3の(B)及び図4の(C)に示すように、第1の絶縁層13上の基板10の厚さを均一にするために、箇所ブラズマエッチング法によるPACE加工を行う。こうして、研磨後の第1の絶縁層13上の基板10の厚さを、200±50nmの極めて均一な厚さに仕上げることができる。

【0063】次いで、図3の(C)に示すように、第1の絶縁層13上に残された基板10を更に選択研削して段差分だけ残し、所望の厚さ(例えば、50±5nm程度の)SOI層(活性層)10Aを有するSOI基板を製造することができる。選択研削は、不織布基材クロスの研磨パッドとエチレンジアミン等を用いたCMP法により行うことができる。エチレンジアミンは、シリコンは研磨するが酸化シリコンは殆ど研磨しない性質を有し、第1の絶縁層13が研磨ストップとしての役割を果たす。従って、基板10の表面に形成された凹部11の底部(図では上面)の第1の絶縁層13が露出した時点で研削が停止する。こうして、凹部11、12の段差分の厚さを有する安定した薄いSOI層(活性層)10Aを得ることができる。尚、研磨材としては、シリコンと第1の絶縁層との研磨レートが十分大きなものであれば、エチレンジアミンに限定されことなく、種々の研

磨材を用いることができる。

【0064】[工程-190]その後、得られたSOI基板を用いて、SOI層(活性層)10A上にゲート電極を形成し、SOI層10Aにソース/ドレイン領域を形成し、全面に層間絶縁層を形成した後、各種配線を形成することにより、所望のSOI型半導体装置を製造することができる。

【0065】尚、[工程-130]において、図5の(A)に示すように、開口部14の底面の露出した基板10の表面に、熱酸化法により酸化シリコン(SiO₂)から成る第2の絶縁層15を形成することもできる。熱酸化法による場合、一層良質な膜厚のバックゲート電極用ゲート絶縁膜を得ることができる。この場合には、第1の絶縁層13は、導電材料層16に対して研磨選択性を有することが望ましい。そして、[工程-150]においては、第1の絶縁層13を研磨ストップとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0066】あるいは又、第2の絶縁層15の形成を省略し、図5の(B)に示すように、[工程-120]において、基板10に形成された凹部12上の第1の絶縁層13の所定の領域に、基板10上に所定の厚さを有する第1の絶縁層13が残されるように第1の絶縁層13をエッチングすることによって、バックゲート電極形成用の開口部14を形成してもよい。この場合、基板10上に残された所定の厚さを有する第1の絶縁層13が、バックゲート電極用ゲート絶縁膜として機能する。そして、[工程-150]においては、第1の絶縁層13を研磨ストップとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0067】実施の形態1にて得られる半導体装置は、バックゲート電極を有し、薄く膜厚均一性に優れたSOI層(活性層)に形成され、また、優れた素子分離特性を有する。従って、実施の形態1で得られたSOI型半導体装置は、高集積化、低消費電力化、高速化等を達成することができる。

【0068】(実施の形態2)実施の形態2は、本発明の第2の態様に係る半導体装置の製造方法に関する。実施の形態2は、実施の形態1の半導体装置の製造方法の変形であり、所謂スマート・カット法にて得られたSOI基板に半導体装置を製造する。具体的には、実施の形態1の[工程-160]と[工程-170]との間で、基板10の所定の深さの位置に剥離層20を形成する工程を含み、実施の形態1の[工程-180]において、基板10の剥離層20から、裏面側の基板10の部分を剥離した後、基板10の表面に形成された凹部11の底

部の第1の絶縁層13が露出するように、剥離後の基板10の裏面から基板10を平坦に研磨する。基板10の所定の深さの位置に剥離層20を形成する工程は、基板10の所定の深さに水素イオンをイオン注入する工程から成る。剥離層20を形成することによって、SOI層(活性層)の形成が容易となり、しかも、シリコン半導体基板の剥離した残部を再利用することができる。

【0069】以下、実施の形態2の半導体装置の製造方法を、基板等の模式的な一部断面図である図6及び図7を参照して説明する。

【0070】【工程-200】先ず、実施の形態1の【工程-100】～【工程-180】と同様の工程を実施することによって、図2の(C)に示した構造を得ることができる。

【0071】【工程-210】次いで、図8の(A)に示すように、層間膜18の上から水素イオンを基板10にイオン注入することによって、基板10の所定の深さの位置に剥離層20を形成する。剥離層20は、研磨ストッパーとして形成された第1の絶縁層13の下方1 μ m以内に形成することが好ましい。実施の形態2においては、剥離層20を、第1の絶縁層13の下方0.2 μ m前後に形成する。第1の絶縁層13の下方0.2 μ m前後のシリコン層は、研磨とり代として残される。尚、剥離層20よりも上方(第1の絶縁層側)の基板の部分参照番号10Bで示し、剥離層20よりも下方の基板の部分参照番号10Cで示す。

【0072】【工程-220】次いで、図6の(B)に示すように、支持基板19を準備し、支持基板19の一方の面と、層間膜18の表面とを重ね合わせる。支持基板19として、実施の形態2では、単結晶シリコンから成る半導体基板を用いる。重ね合わせは、通常、室温で行われるが、重ね合わせの前に張り合わせ面を十分に洗浄することによって、張り合わせ時に気泡発生の原因となるパーティクル等の付着がないようにしておくことが好ましい。また、張り合わせ面にOH基が存在して重ね合わせ時に接合が十分に行われるような表面状態にしておくことが好ましい。両基板を重ね合わせた後、400 $^{\circ}$ Cで30～120分間の加熱処理を施す。その後、600 $^{\circ}$ Cで熱処理を行い、図7の(A)に示すように、基板10を剥離層20から基板10Bと基板10Cとに分離させる。次いで、熱酸素ガス又は窒素ガス雰囲気下、800～1100 $^{\circ}$ Cで、30分～120分の熱処理を更に行うことによって、基板10Bと支持基板19の強固な接合状態を得ることができる。

【0073】シリコン半導体基板内に水素イオンをイオン注入すると、水素の固溶限が低いため、シリコン中でマイクログリフが生成し、一種の多孔質構造となることが知られている(例えば、A. van Veen, et. al., MRS Symposium Proceeding, Vol.107 pp449, 1988等参照)。また、張り合わせた後に、熱処理を行うと、オス

トワルトライブニングにより、注入面(剥離層境界面)に沿って、マイクログリフが伝播し、シリコン半導体基板を容易に分離することができていることが知られている(M. Bruel, Electron. Lett., Vol.31 No. 14, pp1201 (1995)参照)。実施の形態2は、この現象を利用して、尚、基板10の剥離残部である基板10Cは、表面を研磨し、面粗さを小さくすることにより再利用することができる。

【0074】【工程-230】次いで、薄いSOI層(活性層)を得るために、剥離後の基板10Bの選択研磨を行う。この選択研磨は、不織布基材クロスの研磨パッドと、シリコン-酸化シリコン間に研磨選択性を持つ研磨液、例えば、エチレンジアミンを用いたCMP法に基づき行うことができる。この場合、研磨液に砥粒を加えることにより、表面粗さも改善され、第1の絶縁層13の表面が露出する高さで研磨を停止させることができる(図7の(B)参照)。

【0075】【工程-240】その後、得られたSOI基板を用いて、SOI層(活性層)10A上にゲート電極を形成し、SOI層10Aにソース/ドレイン領域を形成し、全面に層間絶縁層を形成した後、各種配線を形成することにより、所望のSOI型半導体装置を製造することができる。

【0076】実施の形態2においては、【工程-130】と同様の工程において、開口部14の底面に露出した基板10の表面に、熱酸化法により酸化シリコン(SiO₂)から成る第2の絶縁層15を形成することもできる。この場合には、第1の絶縁層13は、導電材料層16に対して研磨選択性を有することが望ましい。そして、【工程-150】と同様の工程においては、第1の絶縁層13を研磨ストッパーとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0077】あるいは又、第2の絶縁層15の形成を省略し、【工程-120】と同様の工程において、基板10に形成された凸部12上の第1の絶縁層13の所定の領域に、基板10上に所定の厚さを有する第1の絶縁層13が残されるように第1の絶縁層13をエッチングすることによって、バックゲート電極形成用の開口部14を形成してもよい。この場合、基板10上に残された所定の厚さを有する第1の絶縁層13が、バックゲート電極用ゲート絶縁膜として機能する。そして、【工程-150】と同様の工程においては、第1の絶縁層13を研磨ストッパーとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0078】実施の形態2では、第2の絶縁層15を形

成し、層間膜18を形成した後、水素イオンをイオン注入することにより、基板10の内部に割層層20を形成する。従って、実施の形態2によれば、吸り合わせ工程の後の基板10Bの研削工程を大幅に短縮、簡略化することができる。また、剥離された基板の残部10Cを、表面を平坦化して再利用に供することができるので、製造コストを大幅に低減することができる。

【0079】(実施の形態3)も、実施の形態1の変形である。実施の形態1の【工程-150】において第2の絶縁層15上の導電材料層16を研磨することによって開口部14内にバックゲート電極17を形成するとき、図8に模式的な部分平面図を示すように、導電材料層16の研磨残16Aが残る場合がある。このような導電材料層16の研磨残16Aが存在すると、バックゲート電極17間に短絡が発生する。導電材料層16の研磨残16Aが存在しないように導電材料層16を余りに過剰に研磨すると、所謂ディッシング現象が発生し、残したい導電材料層18の厚さ、即ち、バックゲート電極17の厚さの制御が困難となり、その結果、バックゲート電極17の抵抗値に変動が生ずる虞がある。尚、図8においては、各領域を明確にするために斜線を付した。

【0080】実施の形態3における半導体装置の製造方法においては、実施の形態1の【工程-150】と同様の工程において、第2の絶縁層15上方の導電材料層16を研磨した後、第2の絶縁層15上に残存した導電性のポリシリコンから成る導電材料層16Aを熱酸化化する。これによって、導電材料層16の研磨残16Aが実質的に取り除かれる。以下、実施の形態3の半導体装置の製造方法を、半導体基板等の模式的な一部断面図である図9及び図10を参照しながら説明する。

【0081】【工程-300】まず、実施の形態1の【工程-100】～【工程-150】と同様の工程を実施する。尚、実施の形態1の【工程-100】、【工程-110】、【工程-120】、【工程-130】、【工程-140】及び【工程-150】と同様の工程により、それぞれ、図9の(A)、(B)、(C)及び(D)、並びに、図10の(A)及び(B)に示す構造を得ることができる。【工程-150】と同様の工程の完了時、場合によっては、図10の(B)に示すように、導電材料層16の一部16Aが第2の絶縁層15上に残ることがある。尚、【工程-150】と同様の工程においては、導電材料層16を若干過剰に研磨すること(即ち、所謂ディッシング現象を発生させること)が、後述する理由により、望ましい。また、【工程-100】と同様の工程を完了した後、第1の絶縁層13を平坦化することは、研磨スrapperが存在しないので、平坦化後の第1の絶縁層13の厚さにバラツキが生じ、第1の絶縁層13の絶縁耐圧等の特性に劣化が生じるので、現在の技術では困難な場合が多い。

【0082】【工程-310】次に、第1の絶縁層13の上方(具体的には、第2の絶縁層15上)に残存した導電性のポリシリコンから成る導電材料層16Aを熱酸化することによって、酸化シリコン膜16Bとする。開口部14内を埋めた導電材料層16の表面も酸化されて酸化シリコン膜16Cとなるが、開口部14内を埋めた導電材料層16の厚さは、0.3 μ m程度であるので、全く問題は生じない。こうして得られた状態を、図10の(C)に示す。尚、図10の(C)においては、研磨残の導電材料層16A等の酸化による厚さ変化の状態の図示は模式的なものである。

【0083】厚さ「1」の酸化シリコン膜を形成するためには、厚さ「0.45」のポリシリコン層が必要とされる。例えば、凸部12と凹部11との間の段差を60nm、第2の絶縁層15の厚さを60nm、研磨後の導電材料層16Aの厚さが27nmとなるように、導電材料層16を研磨した場合、酸化によって形成される酸化シリコン膜の厚さは60nmとなる。第2の絶縁層15の頂面と開口部14内の導電材料層18の頂面との段差が12nmとなるように、図10の(B)に示した状態における開口部14内の導電材料層18をディッシング状態とすれば、即ち、【工程-150】と同様の工程において導電材料層16を若干過剰に研磨すれば、第2の絶縁層15の頂面と酸化シリコン膜16Cの頂面は、ほぼ同一平面内にある状態となる。

【0084】【工程-320】以降、実施の形態1の【工程-160】～【工程-190】を経ることによって、所望のSOI型半導体装置を製造することができる。

【0085】実施の形態3においても、【工程-130】と同様の工程において、開口部14の底面に露出した基板10の表面に、熱酸化法により酸化シリコン(SiO₂)から成る第2の絶縁層15を形成することもできる。この場合には、第1の絶縁層13は、導電材料層18に対して研磨選択性を有することが望ましい。そして、【工程-150】と同様の工程においては、第1の絶縁層13を研磨スrapperとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0086】あるいは又、第2の絶縁層15の形成を省略し、【工程-120】と同様の工程において、基板10に形成された凸部12上の第1の絶縁層13の所定の領域に、基板10上に所定の厚さを有する第1の絶縁層13が残されるように第1の絶縁層13をエッチングすることによって、バックゲート電極形成用の開口部14を形成してもよい。この場合、基板10上に残された所定の厚さを有する第1の絶縁層13が、バックゲート電極用ゲート絶縁膜として機能する。そして、【工程-1

50]と同様の工程においては、第1の絶縁層13を研磨ストッパとして、第1の絶縁層13の上方の導電材料層16をCMP法にて研磨することによって、具体的には、第1の絶縁層13上の導電材料層16を研磨することによって、導電材料層16を平坦化する。

【0087】また、実施の形態3において、張り合わせ工程の前に、実施の形態2と同様にして、水素イオンを基板の内部にイオン注入して、基板10内に割層層20を形成してもよい。具体的には、実質的に実施の形態2と同様の方法を採用すればよいので、詳細な説明は省略する。

【0088】(実施の形態4) 実施の形態4は、本発明の第3の態様に係る半導体装置の製造方法に関する。実施の形態3においては、まず、第1の絶縁層を形成し、次いで、その上に第2の絶縁層を形成した後、第1の絶縁層をエッチングストッパとして第2の絶縁層をエッチングすることにより、バックゲート電極用ゲート絶縁層を形成する。

【0089】以下、実施の形態4の半導体装置の製造方法を、半導体基板等の模式的な一部断面図である図11及び図12を参照しながら説明する。

【0090】[工程-400] 先ず、基板10の表面に凹凸部11、12を形成する。具体的には、実施の形態1と同様に、基板10を準備し、基板10の表面に凹凸部11、12を形成する。具体的には、基板10の表面に、例えば、トレンチ法などにより、例えば、深さが12nm〜60nmの凹部(溝部)11を500μm間隔で形成する。

【0091】[工程-410] 次に、基板10の凹凸部11、12が形成された表面上に、第1の絶縁層13を形成する。実施の形態4では、 SiH_4 - O_2 を原料ガスとして用いたCVD法により、厚さ0.1μm程度の酸化シリコン(SiO_2)から成る第1の絶縁層13を形成する。

【0092】[工程-420] その後、第1の絶縁層13上に第2の絶縁層15を形成する。具体的には、例えば SiH_4 - NH_3 を原料ガスとして用いたCVD法により窒化シリコン(SiN)から成る厚さ0.3μm程度の第2の絶縁層15を形成する。第2の絶縁層15の厚さは、バックゲート電極の厚さを確保できるだけの厚さとする必要がある。こうして、図11の(A)に示す構造を得ることができる。

【0093】[工程-430] 次いで、基板10に形成された凹凸部12上の第2の絶縁層15の所定の領域に、第1の絶縁層13に達するバックゲート電極形成用の開口部14を形成する(図11の(B)参照)。具体的には、図示しないレジスト膜を全面に形成し、バックゲート電極を形成する領域のみを除去し、その後、このレジストパターンをマスクとして用いて、窒化シリコン(SiN)から成る第2の絶縁層15をエッチングすること

によって、開口部14を形成する。開口部14の形成のための第2の絶縁層15のエッチングは、窒化シリコン(SiN)から成る第2の絶縁層15のエッチング速度に比べて、酸化シリコンから成る第1の絶縁層13のエッチングが十分に遅いようなエッチング液又はエッチングガスを選択し、第2の絶縁層15がエッチングされ、且つ、第1の絶縁層13上で停止するようなエッチング条件で行う。こうして、制御された寸法と厚さの開口部14を形成することができる。

10 【0094】[工程-440] その後、実施の形態1の[工程-140]と同様にして、開口部14内を含む第2の絶縁層15上に導電材料層16を形成する(図11の(C)参照)。

【0095】[工程-450] 次に、第2の絶縁層15上の導電材料層16をCMP法にて研磨することによって、開口部14内にバックゲート電極17を形成する。導電材料層16の研磨は、導電材料層16は研磨されるが、第2の絶縁層15は研磨されない条件で行うことが好ましい。研磨スラリーとしては、導電材料層16に比べて窒化シリコン(SiN)から成る第2の絶縁層15の研磨が十分に遅いものであれば、種々の研磨材を使用することができる。以上のようにして、図12の(A)に示すように、表面が平坦なバックゲート電極17を形成することができる。

【0096】[工程-460] その後、実施の形態1の[工程-160]と同様にして、層間膜18を全面に形成した後、実施の形態1の[工程-170]と同様にして、層間膜18を介して、基板10と支持基板19とを張り合わせる(図12の(B)参照)。次に、実施の形態1の[工程-180]と同様にして、基板10の表面に形成された凹凸部11の底部の第1の絶縁層13が露出するように、基板10の裏面から基板10を平坦に研磨する(図12の(C)参照)。

【0097】[工程-470] その後、得られたSOI基板を用いて、SOI層(活性層)10A上にゲート電極を形成し、SOI層10Aにソース/ドレイン領域を形成し、全面に層間絶縁層を形成した後、各種配線を形成することにより、所望のSOI型半導体装置を製造することができる。

40 【0098】実施の形態4で得られる半導体装置は、実施の形態1と同様に、バックゲート電極17を有し、膜厚均一性に優れたSOI層(活性層)10Aに形成され、また、優れた素子分離特性を有する。従って、実施の形態4で得られる半導体装置は、高集積化、低消費電力化、高速化等を達成することができる。

【0099】尚、実施の形態4において、張り合わせ工程の前に、実施の形態2と同様にして、水素イオンを基板の内部にイオン注入して、基板10内に割層層20を形成してもよい。具体的には、実質的に実施の形態2と同様の方法を採用すればよいので、詳細な説明は省略す

る。

【0100】また、実施の形態4においても、実施の形態3と同様に、[工程-450]に引き続き、第2の絶縁層15上方の導電材料層16を研磨した後、第2の絶縁層15上に残存した導電性のポリシリコンから成る導電材料層16Aを熱酸化することによって、導電材料層16の研磨残16Aを実質的に取り除くことができる。

【0101】以上、本発明を、発明の実施の形態に基づき説明したが、本発明はこれらに限定されるものではない。発明の実施の形態にて説明した半導体装置の構造、使用する材料等は例示であり、適宜変更することができる。

【0102】また、例えば、実施の形態3にて説明した、絶縁層上の導電材料層16の研磨残16Aの熱酸化による実質的な除去を、バックゲート電極を有さないSOI型半導体装置の製造方法に適用することができる。参考までに、基板等の模式的な一部断面図である図13及び図14を参照して、このような半導体装置の製造方法を、以下、説明する。

【0103】まず、実施の形態1の[工程-100]、[工程-110]及び[工程-140]と同様の工程を実施する。尚、実施の形態1の[工程-100]、[工程-110]及び[工程-140]と同様の工程により、それぞれ、図13の(A)、(B)及び(C)に示す構造を得ることができる。尚、[工程-140]と同様の工程において、導電材料層の代わりにポリシリコン116を形成する。ポリシリコン層116は平坦化用膜として機能する。ポリシリコン層116は導電性を有してなくともよい。尚、[工程-100]と同様の工程を完了した後、絶縁層113を平坦化することは、研磨スrapperが存在しないので、平坦化後の絶縁層113の厚さにバラツキが生じ、絶縁層113の絶縁耐圧等の特性に劣化が生じるので、現在の技術では困難な場合が多い。

【0104】その後、実施の形態1の[工程-150]と同様の工程を実行する。即ち、絶縁層113を研磨スrapperとして、絶縁層113の上方のポリシリコン層116を研磨する。ポリシリコン層116を、凹凸部11、12の段差の半分程度の厚さとなるように、逐次的に研磨することが、最終的に得られるSOI基板における絶縁層113と酸化シリコン膜116Bの頂面を揃えるといった観点から望ましい。こうして、絶縁層113及びポリシリコン層116が概ね平坦化される(図14の(A)参照)。ポリシリコン層116Aが絶縁層113の凹み内に残存している。次いで、ポリシリコン層116を熱酸化することによって、酸化シリコン膜116Bとする(図14の(B)参照)。その後、再度、平坦化処理を行うことによって、平坦な絶縁層113と酸化シリコン膜116Bの頂面を揃える。尚、場合によっては、ポリシリコン層116の熱酸化を省略してもよい

し、再度の平坦化処理を省略してもよい。

【0105】以降、実施の形態1の[工程-160]～[工程-190]を経ることによって、所望のSOI型半導体装置を製造することができる。

【0106】

【発明の効果】本発明の半導体装置の製造方法においては、従来の技術とは異なり、平坦化のためのポリシリコン膜の形成が不要となり、従来、5 μ m程度の厚いポリシリコン膜を形成する必要があったものが、0.1～0.5 μ m程度の厚さの層間膜を形成すればよい。従って、少量の製膜原料と短い製膜時間で所望のSOI基板を作製することができ、大幅に製造コストを削減することができる。

【0107】また、従来の技術によれば、大量の製膜原料ガスをを用い、長い製膜時間を要していたため、CVD装置内において、基板の両端のツメと接触していた部分に突起状にポリシリコンが堆積し、この突起状物を除去する余分な作業が必要であった。本発明によれば、少量の製膜原料と短い製膜時間で済むので、かかる突起状物の生成が殆どなくなる。従って、突起状物を除去する余分な作業が不要となり、製造工程の簡略化を図ることができる。

【0108】また、第1の絶縁層を基板の凸部上端の高さまで研磨し、平坦化するとき、第1の絶縁層の研磨レートが基板の研磨レートに比して十分大きな研磨割合を用いることにより、基板の凸部を研磨スrapperとすることができる。これによって、研磨を確実に基板の凸部で終了させることができ、研磨が進行しすぎたりすることがない。

【0109】更には、平坦化された第1の絶縁層や第2の絶縁層及びバックゲート電極の上に層間膜を形成するので、支持基板の張り合わせ前に層間膜表面の平坦化研磨が原則として不要となり、研磨のバラツキ要因がなくなり、張り合わせが安定し、基板張り合わせ歩留の向上を図ることができる。

【0110】加えて、平坦化された第1の絶縁層や第2の絶縁層及びバックゲート電極上に均一な膜厚の層間膜を形成するので、十分な絶縁耐圧を得ることができる。また、張り合わせ面である層間膜を酸化シリコンから構成すれば、シリコン同志で張り合わせを行う場合に比べて(即ち、シリコン半導体基板から成る支持基板とポリシリコン膜とを張り合わせる場合に比べて)、酸化シリコンから成る層間膜とシリコンとの間で安定した結合が形成されるので、基板張り合わせ歩留の向上を図ることができる。

【0111】また、PACE加工を施すことにより、従来の新研研磨法によって1～5 μ mに薄膜化された基板の厚さを一層薄くすることができ、極めて薄く、且つ、均一な厚さのSOI層を得ることができる。

【0112】更に、本発明の第2若しくは第4の態様に

係る半導体装置の製造方法によれば、本来、研削除去すべき基板の大部分を剥離、除去することができるので、研磨時間が大幅に短縮され、研磨、平坦化が容易となる。また、剥離された基板の残部は、その表面を再度平坦化することにより再利用が可能であり、大幅なコスト削減となる。

【0113】従って、本発明の製造方法によって得られた半導体装置は、高集積化、低電力消費化及び高速化等を達成することができ、しかも、種々のデバイス特性に優れている。

【0114】また、導電材料層を構成する材料を導電性のポリシリコンとする場合、第1の絶縁層上方の導電材料層を研磨した後、第1の絶縁層や第2の絶縁層上に残存した導電性のポリシリコンから成る導電材料層を熱酸化すれば、第1の絶縁層や第2の絶縁層上に残存した導電材料層は酸化シリコン層となり、第1の絶縁層や第2の絶縁層上に残存した導電材料層が実質的に除去され、第1の絶縁層や第2の絶縁層上に残存した導電材料層に起因した、例えば短絡の発生を確実に防止することができ。

【図面の簡単な説明】

【図1】発明の実施の形態1の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図2】図1に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図3】図2に引き続き、発明の実施の形態1の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図4】発明の実施の形態1の半導体装置の製造方法における研磨工程を説明するための基板等の模式的な一部断面図である。

【図5】発明の実施の形態1において、開口部の底面に熱酸化法により酸化シリコンから成る第2の絶縁層を形成した状態を示す基板等の模式的な一部断面図、及び、開口部の底面に絶縁層を残した状態を示す基板等の模式的な一部断面図である。

【図6】発明の実施の形態2の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図7】図8に引き続き、発明の実施の形態2の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図8】発明の実施の形態1の【工程-150】において起こり得る問題点を説明するための模式的な部分断面図及び模式的な一部断面図である。

【図9】発明の実施の形態3の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図10】図9に引き続き、発明の実施の形態3の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図11】発明の実施の形態4の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図12】図11に引き続き、発明の実施の形態4の半導体装置の製造方法を説明するための基板等の模式的な一部断面図である。

【図13】発明の実施の形態3にて説明した、絶縁層上の導電材料層の研磨後の熱酸化による実質的な除去を、バックゲート電極を有さないSOI型半導体装置の製造方法に適用した場合の、基板等の模式的な一部断面図である。

【図14】図13に引き続き、発明の実施の形態3にて説明した、絶縁層上の導電材料層の研磨後の熱酸化による実質的な除去を、バックゲート電極を有さないSOI型半導体装置の製造方法に適用した場合の、基板等の模式的な一部断面図である。

【図15】従来法-Aの半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図16】図15に引き続き、従来法-Aの半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図17】従来法-Cの半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

【図18】図17に引き続き、従来法-Cの半導体装置の製造方法を説明するための半導体基板等の模式的な一部断面図である。

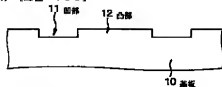
【符号の説明】

10・・・基板、10A・・・SOI層（活性層）、11・・・凹部、12・・・凸部、13・・・第1の絶縁層、14・・・開口部、15・・・第2の絶縁層、16・・・導電材料層、16A・・・導電材料層の研磨後、16B、16C・・・酸化シリコン膜、17・・・バックゲート電極、18・・・層間膜、19・・・支持基板、20・・・剥離層

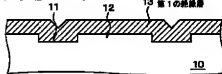
【図1】

【図1】

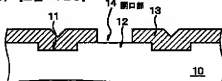
(A) 【工程-100】



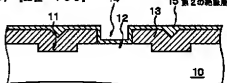
(B) 【工程-110】



(C) 【工程-120】



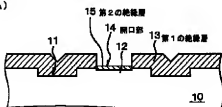
(D) 【工程-130】



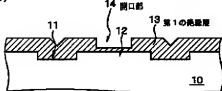
【図5】

【図5】

(A)



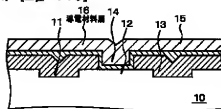
(B)



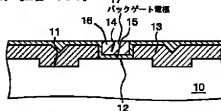
【図2】

【図2】

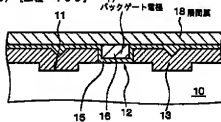
(A) 【工程-140】



(B) 【工程-150】



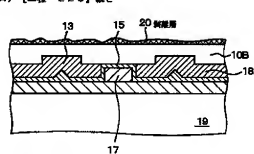
(C) 【工程-160】



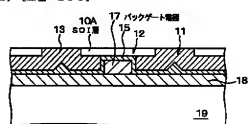
【図7】

【図7】

(A) 【工程-220】 続き



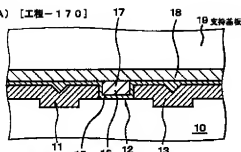
(B) 【工程-230】



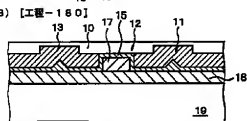
【図3】

【図3】

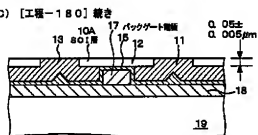
(A) 【工程-170】



(B) 【工程-180】



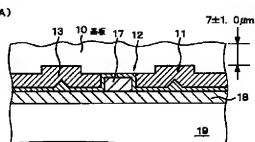
(C) 【工程-180】 続き



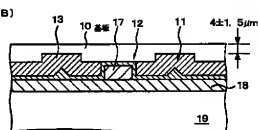
【図4】

【図4】

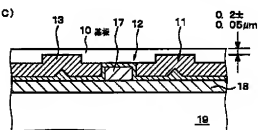
(A)



(B)



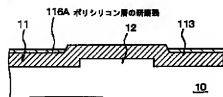
(C)



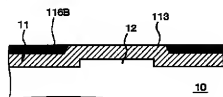
【図14】

【図14】

(A)



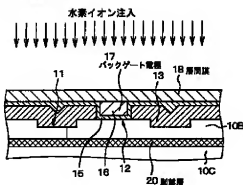
(B)



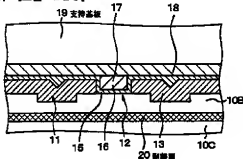
【図6】

【図6】

(A) 【工程-210】

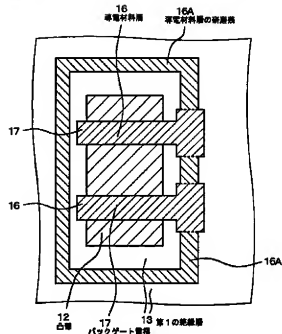


(B) 【工程-220】



【図8】

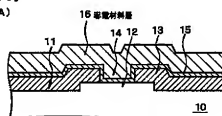
【図8】



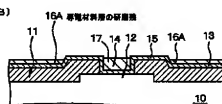
【図10】

【図10】

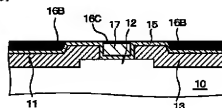
(A)



(B)



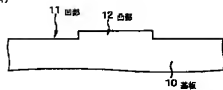
(C)



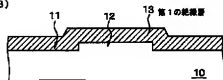
【図9】

【図9】

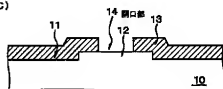
(A)



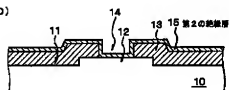
(B)



(C)



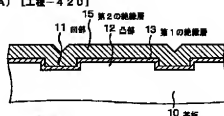
(D)



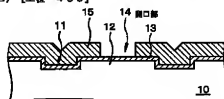
【図11】

【図11】

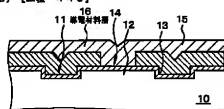
(A) 【工程-420】



(B) 【工程-430】



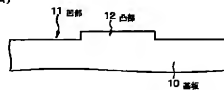
(C) 【工程-440】



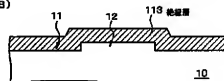
【図13】

【図13】

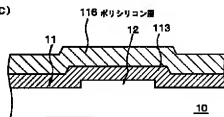
(A)



(B)



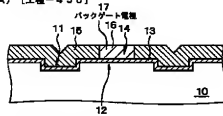
(C)



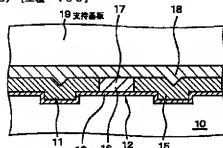
【図12】

【図12】

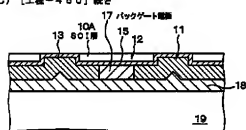
(A) 【工程-450】



(B) 【工程-460】



(C) 【工程-480】 続き

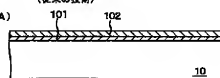


【図15】

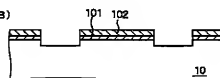
【図15】

(従来の技術)

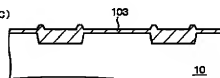
(A)



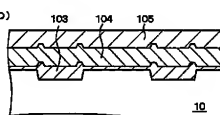
(B)



(C)

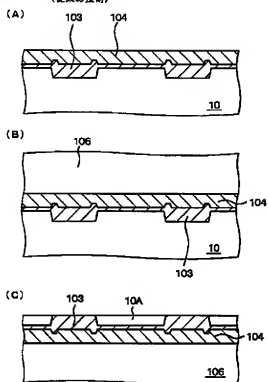


(D)



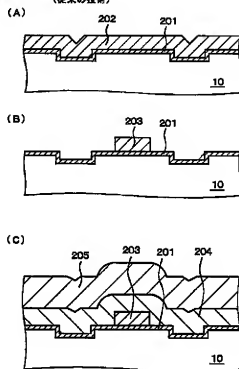
【図16】

【図16】 (従来の技術)

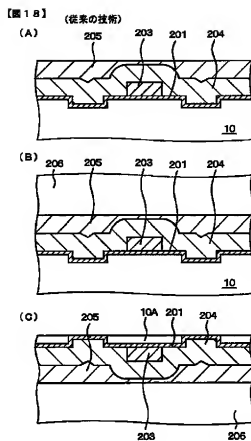


【図17】

【図17】 (従来の技術)



【図18】



フロントページの続き

F ターム(参考) 5F032 AA06 CA17 CA25 DA02 DA09

DA33 DA53 DA71

5F110 AA16 AA18 DD05 DD13 EE09

EE22 EE30 EE42 FF02 FF23

FF29 GG02 GG12 QQ17 QQ19